

(19) 日本国特許庁 (J P)

## (12) 公表特許公報 (A)

(11) 特許出願公表番号  
特表2003-529805  
(P2003-529805A)

(43) 公表日 平成15年10月7日 (2003.10.7)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 5 C 0 8 0
3/20	6 1 1	3/20	6 1 1 H
	6 2 4		6 2 4 B
	6 4 1		6 4 1 D

審査請求 未請求 予備審査請求 未請求 (全 35 頁)

(21) 出願番号 特願2001-573449(P2001-573449)  
 (86) (22) 出願日 平成13年2月27日 (2001.2.27)  
 (85) 翻訳文提出日 平成13年11月30日 (2001.11.30)  
 (86) 国際出願番号 PCT/EP 01/02231  
 (87) 国際公開番号 WO 01/075852  
 (87) 国際公開日 平成13年10月11日 (2001.10.11)  
 (31) 優先権主張番号 0008019.2  
 (32) 優先日 平成12年3月31日 (2000.3.31)  
 (33) 優先権主張国 イギリス (GB)  
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), JP, KR

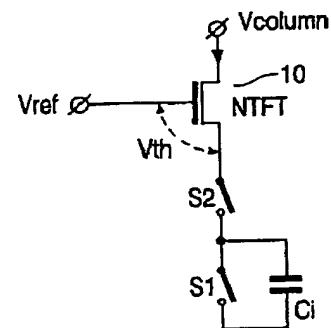
(71) 出願人 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
 Koninklijke Philips Electronics N. V.  
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1  
 Groenewoudseweg 1,  
 5621 BA Eindhoven, The Netherlands  
 (72) 発明者 イアン エム ハンター  
 オランダ国 5656 アーアー アインドーフェン プロフ ホルストラーン 6  
 (74) 代理人 弁理士 杉村 興作

最終頁に続く

(54) 【発明の名称】 電流アドレス画素を有する表示装置

## (57) 【要約】

駆動回路によって電流を供給する、電流アドレス画素を有する表示装置であり、この駆動回路は、スイッチトキャパシタ構成 (Ci、S1、S2) に充電電圧を印加するトランジスタ (10) を具え、このスイッチトキャパシタ構成は、キャパシタ (Ci) を選択的に所定の速さで充電電圧まで充電及び放電すべく構成してある。トランジスタのスレッシュホールド電圧に応じて調整したトランジスタ制御電圧 (Vref) をトランジスタの制御端子に印加して、前記スレッシュホールド電圧の値にかかわらず、キャパシタ (Ci) が前記充電電圧まで充電されることを保証する。これにより、電流アドレス画素を駆動するために用いる、正確に制御可能な電流を供給することが可能になる。



(2)

**【特許請求の範囲】**

**【請求項1】** 電流アドレス型の表示素子を具えた画素を行と列に配置した画素のアレイと、

前記表示素子からの所望の出力に対応する電流信号を発生する駆動回路とを具え、前記駆動回路が、充電電圧をスイッチトキャパシタ構成に印加するためのトランジスタスイッチングデバイスを具え、前記スイッチトキャパシタ構成が、キャパシタと、該キャパシタを選択的に所定の速さで前記充電電圧まで充電及び放電可能にするスイッチとを具えた表示装置において、

前記トランジスタスイッチングデバイスの制御端子にトランジスタ制御電圧を印加して、前記充電電圧を前記スイッチトキャパシタ構成に供給するようにし、そしてトランジスタのスレッシュホールド電圧に応じて前記トランジスタ制御電圧を調整して、これにより、前記スレッシュホールド電圧の値にかかわらず、前記キャパシタが前記充電電圧まで確実に充電されるようにしたことを特徴とする表示装置。

**【請求項2】** 前記トランジスタ制御電圧を調整するためのサンプリング回路を設け、該サンプリング回路がスイッチとスレッシュホールドキャパシタとを具え、前記サンプリング回路が、前記スレッシュホールドキャパシタをトランジスタのスレッシュホールド電圧まで充電する第1モードと、前記スレッシュホールドキャパシタに蓄積したトランジスタのスレッシュホールド電圧をトランジスタ制御電圧に加算する第2モードとで動作可能であることを特徴とする請求項1に記載の表示装置。

**【請求項3】** 前記スレッシュホールドキャパシタをトランジスタのゲートとソースの間に接続して、前記スイッチを、前記トランジスタのドレインとゲートを接続するように構成して、前記第1モードにおいて、前記トランジスタをオン状態にするのに十分なドレイン電圧及びゲート電圧を印加するようにしたことを特徴とする請求項2に記載の表示装置。

**【請求項4】** 前記第2モードにおいて、前記スレッシュホールドキャパシタを前記ソースから絶縁して、前記トランジスタ制御電圧を前記キャパシタに印加して、前記スレッシュホールド電圧分だけ増加させた前記トランジスタ制御電圧を、前記ゲートに印加するようにしたことを特徴とする請求項3に記載の表示装置。

(3)

【請求項 5】 前記スイッチトキャパシタ構成が、第 1 対のスイッチ及びこれに関連する第 1 キャパシタと、第 2 対のスイッチ及びこれに関連する第 2 キャパシタとを具え、前記スイッチが、一方のキャパシタの充電と他方のキャパシタの放電とを同時に行うように動作することを特徴とする請求項 1 から請求項 4 までのいずれかに記載の表示装置。

【請求項 6】 前記スイッチトキャパシタ構成が、前記駆動回路の初期化動作期間中に充電される列キャパシタを具えていることを特徴とする請求項 1 から請求項 5 までのいずれかに記載の表示装置。

【請求項 7】 差動増幅器の一方の入力に未調整の前記トランジスタ制御電圧を供給し、前記差動増幅器の他方の入力を、前記スイッチトキャパシタ構成に前記充電電圧として供給する電圧にして、前記差動増幅器の出力によって、前記調整したトランジスタ制御電圧を供給することを特徴とする請求項 1 に記載の表示装置。

【請求項 8】 各画素をエレクトロルミネセント表示素子で構成したことを特徴とする請求項 1 から請求項 7 までのいずれかに記載のディスプレイ。

【請求項 9】 各画素が第 1 及び第 2 スイッチング手段を具え、かつ第 1 モード及び第 2 モードで動作可能であり、前記第 1 モードでは、前記第 1 スイッチング手段によって前記第 2 スイッチング手段に入力電流を供給し、かつ前記入力電流に対応する制御レベルを前記第 2 スイッチング手段用に蓄積し、前記第 2 モードでは、前記蓄積した制御レベルを前記第 2 スイッチング手段に供給して、前記表示素子を通る前記入力電流に相当する電流を駆動するようにしたことを特徴とする請求項 1 から請求項 8 までのいずれかに記載のディスプレイ。

【請求項 10】 前記第 2 スイッチング手段を T F T で構成し、該 T F T のソースドレイン電流が前記入力電流となる動作点における前記 T F T のゲートソース電圧を、前記制御レベルとしてキャパシタに蓄積することを特徴とする請求項 9 に記載のディスプレイ。

(4)

## 【発明の詳細な説明】

## 【0001】

## (技術分野)

本発明は、表示装置、特に電流アドレス画素用の制御回路の一部として用いる電流源に関するものである。こうした表示装置は、エレクトロルミネセント（電界発光）表示画素を行と列に配置したアレイで構成することができる。

## 【0002】

## (従来技術)

エレクトロルミネセント発光表示素子を採用したマトリクス表示装置は周知である。これらの表示素子は、例えばポリマー材料を用いた有機薄膜フィルムエレクトロルミネセント素子か、あるいは他には、慣例のIII-V半導体化合物を用いた発光ダイオード（LED）で構成することができる。有機エレクトロルミネセント材料、特にポリマー材料における近年の開発は、これらを特にビデオ表示装置用に使用可能であることを示してきた。これらの材料は通常、一对の電極間にはさまれた1つ以上の半導体の共役ポリマー層で構成され、これらの電極の一方は透明であり、他方はホールまたは電子をこのポリマー層に注入するのに適した材料製である。

## 【0003】

このポリマー層はCVDプロセスを用いて製造することができ、あるいは単に可溶性の共役ポリマーの溶解を用いたスピンコーティング技術によって製造することができる。有機エレクトロルミネセント材料はダイオード的なI-V特性を示し、このためこれらは表示機能及びスイッチング機能を共に提供することができる。従って受動（パッシブ）型のディスプレイに使用可能である。あるいはまた、これらの材料は、各画素が表示素子及びこの表示素子を通る電流を制御するスイッチング素子を具えたアクティブマトリクス表示装置に用いることができる。アクティブマトリクスエレクトロルミネセントディスプレイの例は、欧州特許A-0653741号及び米国特許第5670792号に記載され、これらの内容は参考文献として本明細書に含める。

## 【0004】

(5)

この種の表示装置が電流アドレス表示素子を有するということから、これらの表示装置の問題が生じる。これらの表示素子に可制御の電流を供給する慣例の電源回路は、電流が、電源回路に用いているスイッチングトランジスタの電気的特性の関数として変化するという欠点に影響されうる。例えば、電流制御トランジスタを画素構成の一部として設けて、トランジスタに供給するゲート電圧により、表示素子を通る電流が決まる。異なるトランジスタ特性は、ゲート電圧とソースドレイン電流との関係を異ならせる。こうした構成は、欧州特許A-0653741号に記載されている。

#### 【0005】

上述したように、電流制御回路を画素構成の一部で構成して画素電圧を画素に供給することも、あるいは電流制御回路を、周辺または表示領域に設けた独立回路で構成して、画素電流を画素に供給することもできる。いずれの場合にも、電流制御回路を表示画素と同じ基板上にまとめる場合には、電流制御回路は通常、薄膜フィルムトランジスタのような薄膜フィルムスイッチング素子で構成される。基板スイッチング素子の電気的特性の基板全体にわたる一様性が貧弱なことがあり、これにより、画素電流に予測し得ない変化が生じ、従って画素出力にも予測し得ない変化が生じる。

#### 【0006】

(発明の開示)

本発明によれば、

各画素が電流アドレス表示素子を具えた画素を行及び列に配置したアレイと；

充電電圧をスイッチトキャパシタ構成に印加するトランジスタスイッチングデバイスを具えて、前記表示素子からの所望の出力に対応する電流信号を発生する駆動回路とを具え、このスイッチトキャパシタ構成が、キャパシタと、このキャパシタを所定の速さで選択的に、充電電圧まで充電及び放電可能にするスイッチとから構成され、

前記トランジスタスイッチングデバイスの制御端子にトランジスタ制御電圧を印加して、前記スイッチトキャパシタ構成に充電電圧が供給されるようにし、そして、トランジスタのスレッシュホールド（動作しきい値）電圧に応じて前記トラン

(6)

ジスタ制御電圧を調整して、これにより、前記トランジスタのスレッシュホールドにかかわらず、電圧前記キャパシタが前記充電電圧まで充電されることを保証するような表示装置を提供することができる。

**【0007】**

本発明の表示装置に用いる駆動回路は、正確に制御可能な電流を供給することを可能にし、この回路は、電流アドレス画素を駆動するのに用いることができる。この回路は、キャパシタ及びトランジスタを用いて実現することができ、従って表示装置のアクティブプレート上にまとめることができ、このプレート上にわたる変化により、トランジスタのスレッシュホールドの変化が補償される。

**【0008】**

トランジスタの制御電圧を調整するためにサンプリング回路を設けることができ、このサンプリング回路はスイッチ及びスレッシュホールドキャパシタを具え、このスイッチング回路は、このスレッシュホールドキャパシタをトランジスタスレッシュホールド電圧まで充電する第1モード、及びこのスレッシュホールドキャパシタに蓄積されているトランジスタスレッシュホールド電圧をトランジスタ制御電圧に加算する第2モードで動作可能である。

**【0009】**

このように、スレッシュホールドキャパシタに電荷を蓄積することによって、トランジスタのスレッシュホールド電圧を測定してこれを補償することができる。

**【0010】**

前記スイッチトキャパシタ構成は、第1対のスイッチと、これに関連する第1キャパシタと、第2対のスイッチと、これに関連する第2キャパシタから構成することができる。これらのスイッチは、一方のキャパシタの充電を行い、同時に他方のキャパシタの放電を行うように動作する。このことは、スイッチトキャパシタ構成に連続的な充電電流を導入することを可能にし、これにより、電流源の電流リップルを低減することができる。

**【0011】**

また前記スイッチトキャパシタ構成は列キャパシタを具えることもでき、これは、前記駆動回路の初期動作期間中に充電される。このことは、電流発生サイク

(7)

ルの開始時における、画素の列の列キャパシタンス（電気容量）の補償を可能にし、これにより回路がより迅速に安定する。

#### 【0012】

スレッシュホールド電圧をサンプリングする代わりに、差動増幅器の出力によって前記調整したトランジスタ制御電圧を供給することができ、ここでは、この増幅器の一方の入力には未調整のトランジスタ制御電圧を供給し、増幅器の他方の入力は、スイッチトキャパシタ構成に充電電圧として供給する電圧にする。

#### 【0013】

各画素がエレクトロルミネセント表示素子を具えていることが好ましく、そして各画素が第1及び第2スイッチング手段を具えることができ、これらのスイッチング手段は、第1スイッチング手段によって第2スイッチング手段に入力電流を供給し、入力電流に対応する制御レベルを第2スイッチング手段用に蓄積する第1モード、及び蓄積している制御レベルを第2スイッチング手段に供給して、これにより前記表示素子を通る入力電流に相当する電流を駆動する第2モードで動作可能である。

#### 【0014】

（発明を実施するための最良の形態）

以下、本発明による表示装置の実施例について図面を参照して説明する。

図1に、アクティブマトリクスアドレス指定のエレクトロルミネセント表示装置を示し、これは、ブロック1で示す規則的な間隔の画素の行及び列のマトリクスアレイを有するパネルと、関連するスイッチング手段を伴ったエレクトロルミネセント表示素子とを具え、これらのスイッチング手段は、交差している行（選択）アドレス導体2の組と列（データ）アドレス導体4の組との交点に位置する。簡単のため、図には少数の画素のみを示してある。実際には、数百の行及び列の画素が存在しうる。それぞれの導体組の端に接続した行または走査駆動回路6、及び列またはデータ駆動回路8から構成される周辺駆動回路によって、行及び列アドレス導体の組を介して画素1をアドレス指定する。本発明は特に、列駆動回路8用に適した電流供給回路に関するものであるが、以下では、まず電流アドレス画素を有する表示装置の動作について詳細に説明する。

(8)

## 【0015】

図2に、アレイ内のブロック1の通常の画素を、簡略化した図式的な形で示し、この図は、画素の基本的な動作のし方を示すことを意図したものである。図2の画素回路の実際的な実現法は図3に示す。

## 【0016】

参照番号20で示すエレクトロルミネセント表示素子は、ここではダイオード素子(LED)として示す有機発光ダイオードと、一对の電極とを具え、これらの電極間には1つ以上の有機エレクトロルミネセント材料の層を挟んでいる。アレイの表示素子は関連するアクティブマトリクス回路と共に、絶縁支持体の一方の側に載っている。表示素子のカソード(陰極)またはアノード(陽極)のいずれかを、透明導電材料で形成する。この支持体はガラスのような透明材料製であり、表示素子20の基板に最寄の電極を、ITO(インジウム錫酸化物)のような透明導電材料で構成して、エレクトロルミネセント層が発生する光がこれらの電極及び支持体を透過して、支持体の他方の側で視聴者に見えるようにする。前記有機エレクトロルミネセント材料層の厚さは通常、100nmから200nmまでの間とする。素子20用に用いることができる適切な有機エレクトロルミネセント材料の典型例は欧州特許A-0 717446号に記載され、これにはさらなる情報が盛り込まれ、この開示は参考文献として本明細書に含める。W096/36959号に記載の共役ポリマー材料のようなエレクトロルミネセント材料も用いることができる。

## 【0017】

各表示素子20は関連するスイッチング手段を有し、これは表示素子に隣接した行導体2及び列導体4に接続され、かつ供給されるアナログ駆動(データ)信号レベルに従って表示素子を動作させるように構成され、この信号レベルが素子の駆動電流を決定し、従って光出力を決定する。表示データ信号は、電流源として作用する列駆動回路8によって供給する。本発明は特に、以下に記述する列駆動回路に指向したものである。

## 【0018】

適切に処理したビデオ信号をこの回路8に供給し、この回路はこのビデオ信号をサンプリングして、ビデオ情報に関するデータ信号を構成する電流を、行駆動



(9)

回路6によって適切に行アドレス指定された列導体の各々に供給する。

#### 【0019】

図2に、駆動トランジスタ30、特にp-チャネルFETを具えたスイッチング手段を示し、このトランジスタのソースを給電線31に接続し、ドレインを、スイッチ33を介して表示素子20のアノードに接続する。表示素子のカソードを第2給電線34に接続し、この給電線は実際には、固定の基準電位に保持した連続電極層によって構成する。

#### 【0020】

トランジスタ30のゲートは給電線31に接続し、従って蓄積キャパシタンス（電気容量）38を介してこのトランジスタのソース電極に接続し、このキャパシタンス（電気容量）は、独立して形成したキャパシタあるいはトランジスタの固有ゲート-ソース容量とすることができる。トランジスタ30のゲートは、スイッチ32を介してこのトランジスタのドレイン端子にも接続する。

#### 【0021】

このトランジスタ回路は、単一トランジスタのカレント（電流）ミラーのふるまいで動作し、同じトランジスタが、電流サンプリング及び電流出力の機能を共に実行し、表示素子20が負荷として作用する。このカレントミラー回路への入力は、入力線35から出る電流を駆動することによって供給し、この線を、さらなるスイッチ37を介してスイッチ32と33との間の節点36に接続し、この節点は入力端子を構成し、スイッチ37はこの節点からの電流の導入を制御する。

。

#### 【0022】

この回路の動作は2段階で行われる。アドレス指定期間に時間的に対応する第1のサンプリング段階では、表示素子からの必要な出力を決定する入力電流信号を回路から導入して、トランジスタ30の結果的なゲート-ソース電圧をサンプリングして、キャパシタンス38に蓄積する。その後の出力段階では、トランジスタ30が、前記蓄積した電圧のレベルに従って、表示素子20を通る駆動電流を駆動するように動作して、入力電流によって決定され、表示素子が必要とする出力を発生し、例えば後続の新たなサンプリング段階で、次に表示素子をアドレ

(10)

ス指定するまで、この出力を維持する。両段階中には、給電線31及び34は、適切に事前設定した電位レベルV1及びV2であるものとする。通常、給電線31は電位(V1)付近であり、給電線34は負電位(V2)付近である。

#### 【0023】

サンプリング段階中には、スイッチ32及び37を閉にしてスイッチ33を開にし、スイッチ32はトランジスタ30をダイオード接続し、スイッチ33は表示素子負荷を絶縁する。表示素子に必要な電流に相当する、図に $I_{in}$ で示す入力信号は、例えば図1の列駆動回路8のような外部電源から、入力線35、閉じたスイッチ37、及び入力端子36経由で導入する。閉じたスイッチ32によってトランジスタ30をダイオード接続しているので、定常状態条件でのキャパシタンス38の端子間電圧は、トランジスタ30のチャネルを通る電流 $I_{in}$ を駆動するのに必要なゲートソース電圧になる。この電流が安定するのに十分な時間を取って、入力端子36を入力線から絶縁し、かつキャパシタンス38を絶縁するスイッチ32及び37を開にするとサンプリング段階を終了して、入力信号 $I_{in}$ に従って決まるゲートソース電圧がキャパシタンス38に蓄積される。そしてスイッチ33を閉じると出力段階を開始し、スイッチ33が表示素子のアノードをトランジスタ30のドレインに接続する。そしてトランジスタ30が電流源として動作して、 $I_{in}$ にはほぼ等しい電流が表示素子20を通して駆動される。

#### 【0024】

スイッチ32がオフ状態になる際にキャパシタンス38に電圧変化を生じさせる電荷注入効果による容量結合により、またトランジスタ30は実際には有限値の出力抵抗を有しがちであり、完全な電流源としては作用し得ないので、表示素子用の駆動電流は、入力電流 $I_{in}$ からほんの少し異なり得る。しかしサンプリング段階中に $I_{in}$ をサンプリングするために、そして出力段階中に電流を発生するために同じトランジスタを用いているので、表示素子電流は、トランジスタ30のスレッシュOLD電圧または移動度には依存しない。

#### 【0025】

図3に、図1の表示装置に用いる図2の画素回路の実際例を示す。この例では、スイッチ32、33及び37の各々をトランジスタによって構成し、これらの

(11)

スイッチングトランジスタは駆動トランジスタ30と共に、すべて薄膜フィルム電界効果トランジスタ即ちTFTとして形成する。入力線35、及び同じ列内の全画素のこれに相当する入力線を列アドレス導体4に接続して、結果的にこの導体を通して列駆動回路8に接続する。トランジスタ32、33、及び37のゲート、及び同様に、同じ行内の画素回路のこれらに相当するトランジスタのゲートをすべて、同じ行アドレス導体2に接続する。トランジスタ32及び37はp-チャンネルデバイスで構成し、行駆動回路6によって行アドレス導体2に印加する電圧パルスの形態の選択（走査）信号によってオン（閉）状態にする。トランジスタ33は逆の導通型であり、n-チャンネルデバイスで構成され、トランジスタ32及び37とは相補的なふるまいで動作し、このためトランジスタ32及び37が導体2上の選択信号に応答して閉状態になるとオフ（開）状態になり、そしてその逆の状態にもなる。

#### 【0026】

給電線31は、行導体2に並列な電極として延在し、同じ行内のすべての画素回路がこれを共用する。すべての行の給電線31を、端でまとめて接続することができる。代わりに、これらの給電線を列方向に延在させて、各列内の表示素子がそれぞれの給電線を共用することもできる。あるいはまた、行及び列方向に共に延在する給電線を設けて、これらを相互接続して格子構造を形成する。

#### 【0027】

前記アレイは、各行導体2に順次印加する選択信号によって一行同時に順次駆動する。この選択信号の継続時間が行アドレス期間を決定し、これは前述したサンプリング段階の期間に相当する。一行同時のアドレス指定に必要な選択信号に同期して、データ信号を構成する適切な入力電流駆動信号を列駆動回路8によって列導体4に印加して、選択した行内のすべての表示素子が、この表示素子からの必要な表示出力を決定するそれぞれの入力信号で、行アドレス期間中に同時に、必要な駆動レベルに設定されるようにする。この方法での行のアドレス指定に続いて、次行の表示素子も同様な方法でアドレス指定する。フィールド期間中に全行の表示素子をアドレス指定し終わると、その後のフィールド期間中にもこのアドレス指定手順を繰り返し、それぞれの行アドレス期間中に、所定の表示素子

(12)

用、従って所定の出力用の駆動電流を設定して、関連行の表示素子を次にアドレス指定するまでの間、この駆動電流をフィールド期間だけ維持する。

**【0028】**

本発明は特に、電流駆動信号を画素の列に供給する回路に関するものである。特に本発明は、ポリマーシリコンTFTデバイスを用いて実現可能であり、従って電流駆動画素を有する表示デバイスのアクティブプレート上にまとめることができるスイッチトキャパシタ電流源に関するものである。

**【0029】**

この電流源の原理は、既知のキャパシタを既知の電圧まで、連続的に充電及び放電することである。もちろん、キャパシタの電圧は $Q = C \cdot V$ によって与えられる。固定量の電荷を用いて、完全に放電したキャパシタを周期的に、電圧 $V_c$ まで充電し、そして1秒当たり $F$ 回の速さで再び放電する場合には、

$$I_{rms} = C \cdot V_c \cdot F$$

となり、ここで $I_{rms}$ は充電電流の実効値（二乗平均平方根）である。

**【0030】**

図4に、スイッチトキャパシタ構成を用いた電流制御用の回路を示す。この回路では、 $S_1$ が放電スイッチであり、 $S_2$ が充電スイッチである。これら2つのスイッチは互いに逆位相で動作する。 $S_2$ が閉であり $S_1$ が開である際には、 $S_2$ の端子間の電圧降下を無視すれば、キャパシタ $C_i$ （以下充電キャパシタと称する）が電圧 $V$ まで充電される。 $S_2$ がであり $S_1$ が閉である際には、このキャパシタが $S_1$ を通して放電される。

**【0031】**

アクティブマトリクスディスプレイの列は、これらの列を電流源として作用するように構成することによって、キャパシタ充電電流によって駆動することができる。例えば、図2の画素回路の電流サンプリング段階中には、前記スイッチトキャパシタ構成が導入する電流を、線35によって供給することができる。他の画素構成では、画素列を相互接続して電流供給回路に接続することが困難である。アクティブマトリクスプレート上に値 $C$ のキャパシタンスを正確に構成することができ、そして例えば画素クロックの副分割を用いて、周波数 $F$ を正確に制御

(13)

することができるので、これにより、電流値がこれら2つの変数及び前記充電電圧に依存する精密な電流源を作製することができる。

#### 【0032】

ビデオ信号用回路を実際に実現するためには、主に困難なことは、キャパシタをその電圧まで充電する電圧を正確に制御することである。周波数 $F$ 及びキャパシタンス値 $C_i$ は、より容易に固定することができる。図5に、図4の回路の実際的な実現法を示し、ここでは $n$ -チャネルTFTを用いて充電電圧を制御する。

#### 【0033】

TFTのスレッシュホールド電圧 $V_{th}$ よりも大きい基準電圧を、TFTのゲートに印加する。 $S_2$ を閉にして $S_1$ を開にすると、充電中のキャパシタ $C_i$ （充電電流を供給するキャパシタ）が、TFTを通して $V_{column}$ に近づくように充電される。しかし $C_i$ が $V_{ref} - V_{th}$ 、即ちゲートの基準電圧からゲートソース間のスレッシュホールド電圧を引いたものまで充電されていると、TFTが導通を停止して、キャパシタが充電を停止する。固定時間の期間後に、 $S_2$ が開になり $S_1$ が閉になって、 $S_1$ を通して $C_i$ を放電する。このサイクルを再び開始して、毎回、 $C \cdot (V_{ref} - V_{th})$ に等しい量の電荷が列を通して発生する。

#### 【0034】

TFTのスレッシュホールド電圧が電流源の出力値に影響を及ぼし、かつディスプレイを通してのTFTの一様性が保証されていないので、本発明の電流源の設計には、TFTのスレッシュホールド値によってゲート電圧を供与する方法を採用する。本発明の設計では、トランジスタのスレッシュホールド電圧に応じて調整済みのトランジスタのゲート電圧をTFTのゲートに印加して、このトランジスタのスレッシュホールド電圧にかかわらず、キャパシタが正確に既知の充電電圧まで充電されることを保証する。

#### 【0035】

図6に、本発明の電流源に採用可能な、前記スレッシュホールド電圧を補償する第1の方法を概念的に示す。

#### 【0036】

(14)

スイッチトキャパシタ構成 12 に充電電圧を印加するために、特に節点 14 に充電電圧を供給するために、トランジスタ 10 を設ける。スイッチトキャパシタ構成 12 は、図 5 に示すスイッチ S1、S2 及び充電キャパシタ  $C_i$  を具えている。この回路は、固定電位の入力端子  $V_i$  から電流を導入し、この固定電位は、スイッチトキャパシタ構成 12 中のキャパシタを、トランジスタ 10 を通して所望の電圧まで充電可能にするのに十分なものである。

#### 【0037】

この充電電圧は、図 6 の回路に基準電圧  $V_{ref}$  として供給する。しかし、この基準電圧は、(図 5 に示すように) トランジスタ 10 のゲートに直接印加しないで、代わりにスレッシュホールドキャパシタ  $C_t$  を通して印加する。トランジスタ 10 のゲートを、このスレッシュホールドキャパシタの一方の側に接続して、スレッシュホールドキャパシタの他方の側は、スイッチ S5 を通して基準電圧入力に結合する。このキャパシタの端子は、さらなるスイッチ S6 を通して節点 14 にも接続する。

#### 【0038】

トランジスタ 10 のドレイン及びゲートは、スイッチ S4 によって選択的に接続し、さらにスイッチ S3 が選択的に、入力  $V_i$  の列をトランジスタ 10 のドレインから絶縁する。このトランジスタ回路は、所定のバイアス条件に対するゲートソース電圧をサンプリングする電圧サンプリング回路として動作する。

#### 【0039】

この回路の動作は、2つのモードで行われる。動作の第1モードでは、この回路は、トランジスタ 10 のスレッシュホールド電圧をスレッシュホールドキャパシタ  $C_t$  に蓄積するように動作する。このモードでは、スイッチ S5 を開にして、他のスイッチ S3、S4 及び S6 をすべて閉にすることによって、基準電圧  $V_{ref}$  を絶縁する。そしてこのトランジスタを、ドレインとゲートをスイッチ 4 によって短絡するようにダイオード接続する。入力  $V_i$  である列の電圧はトランジスタのスレッシュホールド電圧より大きく、この電圧をドレイン及びゲートに共に印加する。図 5 に示すスイッチトキャパシタ構成のスイッチ S1 及び S2 を共に閉にして、トランジスタ 10 が入力  $V_i$  と接地との間を導通させるようにする。トランジスタ

(15)

タの定常状態条件では、スレッシュヨルドキャパシタ  $C_t$  がゲートの電圧まで充電される。一旦このことを達成すると、スイッチ  $S_3$  を開にしてスレッシュヨルドキャパシタ  $C_t$  が放電を開始し、スレッシュヨルドキャパシタ  $C_t$  の電圧はトランジスタ 10 をオン状態にするのに十分なので、トランジスタ 10 のドレインソース電流が供給される。ゲートソース電圧がスレッシュヨルド電圧  $V_{th}$  に達すると、トランジスタが導通を停止して、スレッシュヨルドキャパシタが、このスレッシュヨルド電圧に等しい電圧まで充電される。その後にスイッチ  $S_4$  及び  $S_6$  を開にして、こうしてスレッシュヨルドキャパシタに蓄積された電荷を絶縁する。

#### 【0040】

その後にスイッチ  $S_5$  を閉じることによって基準電圧  $V_{ref}$  を印加すると、ゲート電圧が  $(V_{ref} + V_{th})$  になる。トランジスタのゲート電圧が、トランジスタのスレッシュヨルド電圧を考慮して調整されているので、これにより、一旦  $C_i$  を充電すると、節点 14 の電圧が基準電圧  $V_{ref}$  に等しくなることが保証される。

。

#### 【0041】

このスレッシュヨルド電圧補償は、新たな基準電圧を印加する毎に実行することができる。実際には、表示画素のマトリクスアレイの場合には、各ラインの画素のアドレス指定の開始時に、スレッシュヨルド補償を行う。

#### 【0042】

画素スイッチングトランジスタの時定数及び画素キャパシタンスは、スイッチトキャパシタ構成中の充電キャパシタ  $C_i$  のスイッチングによる充電及び放電により生じる電流パルスの良好なフィルタリングができるように十分大きくなければならない。

#### 【0043】

図 7 に、図 6 に示す回路の実際的な実現法を示す。前記スイッチトキャパシタ構成のスイッチ  $S_1$  及び  $S_2$  は、トランジスタ  $T_1$  及び  $T_2$  によって実現するように示してあり、前記スレッシュヨルド補償回路のスイッチ  $S_3 \sim S_6$  は、トランジスタ  $T_3 \sim T_6$  によって実現するように示してある。19 で示す構成要素は電流源を規定するものとして考えることができ、追加的トランジスタ  $T_7$  は、電流

源19と画素の列とを接続するように示してある。このことは、スレッシュホールド補償段階中に画素の列を電流源19から絶縁することを可能にする。1つの画素は図式的に符号1で示してある。

#### 【0044】

トランジスタT1～T7の各々が、それぞれのゲートに印加すべき制御信号に関連している。これらのトランジスタのゲートに印加する信号のタイミングが、回路の動作を決定する。

#### 【0045】

図8に、図7の回路についてのタイミング図を示す。本質的に2つの動作のサイクルが存在し、これらはスレッシュホールド補償サイクルである第1サイクル22と、電流供給サイクル24である。

#### 【0046】

スレッシュホールド補償サイクル22中には、トランジスタT7がオフ状態になり、従ってゲート電圧がロー（低値）になる。期間22a中には、スレッシュホールドキャパシタが、トランジスタT6、T2及びT1を通して入力電圧Viまで充電される。スレッシュホールドキャパシタを充電した後にトランジスタT3をオフ状態にして、期間22b中には、スレッシュホールドキャパシタの端子間電圧がトランジスタのスレッシュホールド電圧になるまで、このキャパシタがトランジスタ10を通して放電する。最後に、期間22c中には、スレッシュホールドキャパシタに基準電圧Vrefを印加して、トランジスタ10のゲートに所望の電圧を生成する。そして電流源モードの動作24中には、2つのトランジスタT1及びT2の周期的な動作が続く。

#### 【0047】

上述したように、本発明の回路は、正確に制御可能な電圧を節点14に印加することを可能にする。しかし、充電電圧は節点15において規定され、これは節点14の電圧とは、トランジスタのソースドレイン電圧だけ異なる。トランジスタT2を飽和領域で動作させると、そのソースドレイン電圧はスレッシュホールド電圧よりも、基板にわたっての変化の影響をずっと受けにくくなる。特定の電流出力に必要な基準電圧を計算する際に、このソースドレイン電圧を考慮に入



(17)

れる。

#### 【0048】

Ctの放電が指数関数的であるので、この設計に関連する潜在的な問題は、スレッシュホールド電圧のサンプリング期間22bの長さである。他の潜在的な問題は、画素フィルタキャパシタCpix（図2の38）上に見られるリップル電圧である。列キャパシタンスは20pFまで高くすることができ、Cpixのキャパシタンスは1pFまたはそれ未満のオーダーにすべきものである。0.1pFの充電キャパシタを用いれば、所望の性能によっては、列キャパシタ及びCpixの充電時間が許容外に長くなる。充電キャパシタのサイズを増加させれば、Cpixの端子間のリップル電圧が増加する。実際には、充電及び放電クロックの周波数を増加させることができるが、このことは、より大容量の充電トランジスタ10及びT2によって達成しなければならない。トランジスタのサイズを増加させることには、より大きなゲートへの電荷注入をもたらすという逆効果があり、正確性が低下する。これらの問題を克服するための回路の変形例を図9に示す。

#### 【0049】

第1の変形例は、2つのスイッチトキャパシタ構成を設けるものである。第1対のスイッチS1、S2が第1充電キャパシタCi1を充電及び放電し、第2対のスイッチS1a、S2aが第2充電キャパシタCi2を充電及び放電する。一方のキャパシタの充電中には他方のキャパシタが放電し、そしてその逆になる。このことを達成するためには、一方の充電スイッチ用の制御線を他方のスイッチトキャパシタ構成の放電スイッチが共用し、そしてその逆とする。

#### 【0050】

また追加的キャパシタCcを設けて、前記列キャパシタンスの逆効果を低減し、そしてこのキャパシタは、1回の動作でスレッシュホールド補償を実行することも可能にする。

#### 【0051】

スイッチS3及びS6用の制御線は、図9に符号「初期化」で示す。初期化段階中には、スレッシュホールドキャパシタCtを入力電圧Viまで充電する。スイッチS3及びS6を閉にする制御信号は、追加的キャパシタCcを充電キャパシタの

(18)

一方のC<sub>i1</sub>に並列接続する追加的スイッチS<sub>8</sub>も閉にする。第1充電サイクル中には、スイッチS<sub>2</sub>を閉にして充電キャパシタC<sub>i1</sub>を充電する際に、追加的キャパシタC<sub>c</sub>も充電される。適切な充電サイクルが始まる際には、キャパシタC<sub>c</sub>に蓄積された追加的電荷は、列キャパシタンス並びに画素キャパシタンスを充電するのに十分なものである。こうするために、キャパシタC<sub>c</sub>はディスプレイの列キャパシタンスの合計のオーダにする。

#### 【0052】

さらに初期化段階中には、列キャパシタ、画素キャパシタ、及び充電キャパシタC<sub>i</sub>も放電する。スイッチS<sub>9</sub>は、列キャパシタ及び画素キャパシタを放電するために設けてあり、このスイッチは、初期化段階中及び充電キャパシタC<sub>i</sub>の充電中のみに作動させる。これを行うために、初期化信号及び放電クロック信号を、スイッチS<sub>9</sub>の動作を制御するNANDゲートに供給する。列キャパシタ及び画素キャパシタの放電はトランジスタ10を通して行われ、これらの電荷は初期化段階中に、追加的キャパシタC<sub>c</sub>及び充電キャパシタC<sub>i1</sub>に有効に渡される。

#### 【0053】

初期化段階は、キャパシタC<sub>c</sub>及びC<sub>i1</sub>が( $V_i - V_{th}$ )まで充電されるのに十分な長い時間である必要がある。

#### 【0054】

初期化段階に続く充電－放電サイクル中に、画素キャパシタの端子間電圧が安定する。充電キャパシタC<sub>i1</sub>及びC<sub>i2</sub>を図7の回路中のものよりも小さくすることができ、これにより充電－放電サイクルの周波数を増加させて、画素キャパシタ上の電圧リップルを低減することができる。

#### 【0055】

図10に、図9の回路の実現法を示し、ここでは各スイッチをトランジスタとして実現してあり、図9と同じ参照番号を用いている。例えば、スイッチS<sub>1</sub>はトランジスタT<sub>1</sub>として実現する、等である。

#### 【0056】

この回路では、初期化段階を完了し次第、基準電圧を印加することができる。

(19)

従って、トランジスタ T 5 の制御は、トランジスタ T 3、T 6 及び T 8 の制御とは論理的に逆になる。この論理反転機能を実行するために、トランジスタ T 5 a 及び T 5 b を設けてある。

#### 【0057】

この回路の動作は、図 11 に示すタイミング図から、より容易に理解できる。

#### 【0058】

初期化期間 30 a 中には、1 つの放電及び充電サイクルを実行する。充電サイクルは、追加的キャパシタ Cc が充電されるようになるまで延長し、このキャパシタはディスプレイの列キャパシタンスを上回るに必要な電荷を蓄積する。この延長した充電サイクルを 32 で示す。初期化段階の開始時には、NAND ゲートの出力がロー（2 つの入力がハイ）であり、この出力がローであるのはこの時点のみである。この一意的なロー出力が、p 型の T F T を閉状態にして、列キャパシタンスの放電を生じさせる。初期化期間後には、NAND ゲートの出力は常にハイであり、トランジスタ T 9 がオフ状態になって、行を電流供給回路から絶縁する。初期化時間 30 a 中の、放電クロック信号がハイである期間は、列のリセット期間として考えることができ、これを 34 で示す。

#### 【0059】

一旦初期化期間 30 a を終了すると、この回路は、図 7 の回路の電流供給期間 24 と同様であるが、2 キャパシタのスイッチトキャパシタ構成によって供与される連続的な充電電流で動作する。

#### 【0060】

正確に制御可能な電圧を発生して、電流源キャパシタをこの電圧まで充電するさらなる代替方法は、負帰還を有する差動増幅器を用いる方法である。この原理を図 12 にしめし、これは O P A M P（演算増幅器）を差動増幅器として用いている。O P A M P 42 の出力 40 がトランジスタ 10 にゲート電圧を供給し、トランジスタ 10 のソースは増幅器 42 の反転入力に結合してある。増幅器 42 はその出力に電圧を供給して、この増幅器は、反転入力及び非反転入力の電圧を同じレベルにもっていくようになっている。結果的に節点 14 の電圧が、非反転端子に印加した基準電圧 Vref に等しくなる。

## 【0061】

本質的には、この回路は負帰還を採用した線形回路である。充電キャパシタ  $C_i$  が充電中で  $S_2$  が閉である際の  $V_{ref}$  とソース電圧との差は、OPAMP の利得の関数になり、そしてミリボルトのオーダーになる。充電抵抗  $44$  を用いて、キャパシタへの初期電荷の流入を制御する。この抵抗がなければ、キャパシタを充電する際には帰還ループが事実上開ループになる。これはトランジスタ  $10$  が、充電キャパシタ  $C_i$  を目標電圧  $V_{ref}$  まで瞬時に充電するのに必要な大きさの電流を供給することができないからである。抵抗  $44$  の導入は、電流源の値には影響しないが、回路周波数を制限する。

## 【0062】

この回路では、図 9 を参照して説明したように、帰還ループが開回路になって、帰還ループが断ち切られて制御回路の安定性が崩れることが起こり得ないようにするためには、充電キャパシタの二重構成を必要とする。

## 【0063】

また列が非選択である場合にも、帰還ループが断ち切られる。こうした理由により、バイアス抵抗  $R_{Bias}$  を追加すれば、列を選択していない際にも、OPAMP がトランジスタ  $10$  を連続的に制御できるようになる。列をアドレス指定する際には、このバイアス抵抗をスイッチによって回路から外して、オフセット電流の導入を防止する。

## 【0064】

この回路は原則的には、前の例の回路のような、トランジスタ  $10$  のスレッシュホールド電圧のサンプリングに関連する時間遅延を有しない。回路の利得帯域が十分大きければ、この回路はより高い周波数でも動作可能である。このことは、より小さい充電キャパシタ  $C_i$  の使用を可能にし、これにより、画素キャパシタンスをより小さくすると共に、出力リップルをより小さくすることができる。

## 【0065】

図 13 に、図 12 の回路の実現法をより詳細に示す。

## 【0066】

この回路の潜在的に困難な点は、差動増幅器の入力オフセット電圧である。こ

(21)

れは、OPAMP内のトランジスタのトランジスタ整合に依存する。しかし、さらに8つのスイッチを用いれば、回路内のトランジスタの位置を交換することが可能になる。これらのスイッチは、4つの2極スイッチB1、B2、B3及びB4、及び図中に二重線で示す線で表現してある。各充電サイクルの後に、OPAMPへの入力段を構成するトランジスタを交換することができ、これによりトランジスタの不整合の影響を低減することができる。

#### 【0067】

例えば、B4がトランジスタ50のゲートを、トランジスタ10と充電抵抗44との間の節点に接続すると、B3が他のトランジスタ52のゲートをVrefに接続する。同時に、B2がトランジスタ54をトランジスタ50のドレインに接続して、B1がトランジスタ52のドレインをViに接続する。そしてすべてのスイッチが反転して、トランジスタ50と52の役割が逆転する。これにより、差分増幅器を規定するトランジスタ50と52の間のトランジスタ不整合に関連する問題が取り除かれて、これらのトランジスタが2つの独立したデバイスではなく、1つの単位として機能するようになる。

#### 【0068】

本発明は、表示素子が電流アドレス型であれば、いずれの特定の画素構成を有する表示装置にも適用することができる。

#### 【0069】

図14に、逆極性型のトランジスタを使用する必要性を回避し、かつ列4から電流を導入する画素回路の代案の変形形態を示す。この回路では、トランジスタ33を除去して、入力端子36を直接、表示素子20に接続する。他の回路のように、カレントミラーの動作中に2つの段階、即ちサンプリング段階及び出力段階が存在する。サンプリング段階中には、関連する行導体2上の選択パルスによってスイッチングトランジスタ32及び37が閉状態になり、これらのトランジスタがトランジスタ30にダイオード接続される。同時に給電線31は前にのように一定基準電圧のままにしておかず、この給電線に正電圧パルスを供給して、表示素子20が逆バイアスされるようにする。この状態では、（微小な逆漏洩電流を無視すれば）電流が表示素子20を流れて流れることがあり得ず、トランジ

(22)

スタ30のドレイン電流は入力電流  $I_{in}$  に等しくなる。このようにして、トランジスタ30の適正なゲートソース電圧電圧を、キャパシタンス38上に再びサンプリングすることができる。前のように、サンプリング段階の終わりにスイッチングトランジスタ32及び37をオフ（開）状態にして、給電線31を通常のレベルに戻し、これは通常0Vである。その後の出力段階では、トランジスタ30は前と同様に、キャパシタ38に蓄積されている電圧によって決まるレベルで表示素子を通る電流を導入する電流源として動作する。

#### 【0070】

図14の実施例では、画素の行毎に個別に電圧源に接続した給電線31を設けることができる。サンプリング段階中には、（給電線31にパルスを加えることの結果として）行内の表示素子がアドレス指定されてオフ状態になり、アレイ中の全画素回路に共通の1つの共通給電線が実際に存在する場合には、即ち一行の給電線31のみが、全行の画素回路を相互接続する連続線の一部である場合には、どの行をアドレス指定するかにかかわらず、各サンプリング段階中には全表示素子がオフ状態になる。これにより、表示素子についてのデューティサイクル（オン時間とオフ時間の比）が低下する。このため、1つの行に関連する給電線31を、他の行に関連する給電線から分離した状態に保つことが望ましい。

#### 【0071】

以上の開示から当業者が他の変形法を考案しうることは明らかである。こうした変形法は、マトリクス型エレクトロルミネセントディスプレイ及びその構成部品の分野では既知の他の特徴を含み得るものであり、そして本明細書で既に記述した特徴に代えて、あるいはこれらの特徴に加えて用いることができる。

#### 【図面の簡単な説明】

【図1】 本発明による表示装置の実施例の一部を簡略化して示す図である。

【図2】 図1の表示装置における表示素子及びこれに関連する制御回路を具えた通常の画素回路の等価回路を簡単な形で示す図である。

【図3】 図2の画素回路の実際的な実現方法を示す図である。

【図4】 スイッチトキャパシタ電流源の動作原理を示す図である。

【図5】 スイッチトキャパシタ電流源の実現方法を示す図である。

(23)

- 【図6】 本発明のディスプレイに用いるトランジスタしきい値電圧を補償する第1の回路を図式的に示す図である。
- 【図7】 図6の回路の実際的な実現方法を示す図である。
- 【図8】 図7の回路用のタイミング図である。
- 【図9】 本発明のディスプレイに用いるトランジスタしきい値電圧を補償する第2の回路を図式的に示す図である。
- 【図10】 図9の回路の実際的な実現方法を示す図である。
- 【図11】 図10の回路についてのタイミング図である。
- 【図12】 本発明のディスプレイに用いるトランジスタしきい値電圧を補償する第3の回路を図式的に示す図である。
- 【図13】 図12の回路の実際的な実現方法を示す図である。
- 【図14】 代案の画素回路を示す図である。

【図1】

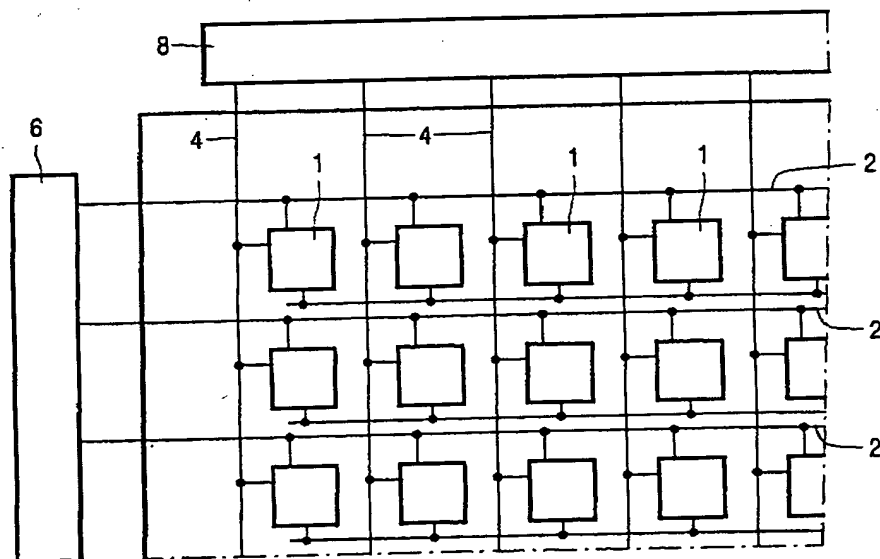


FIG. 1

(24)

【図 2】

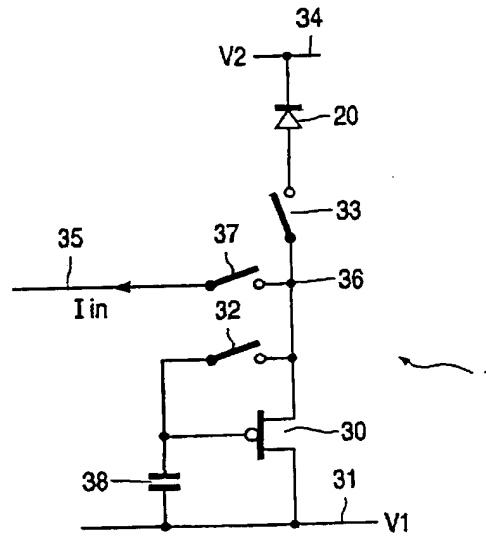


FIG. 2

【図 3】

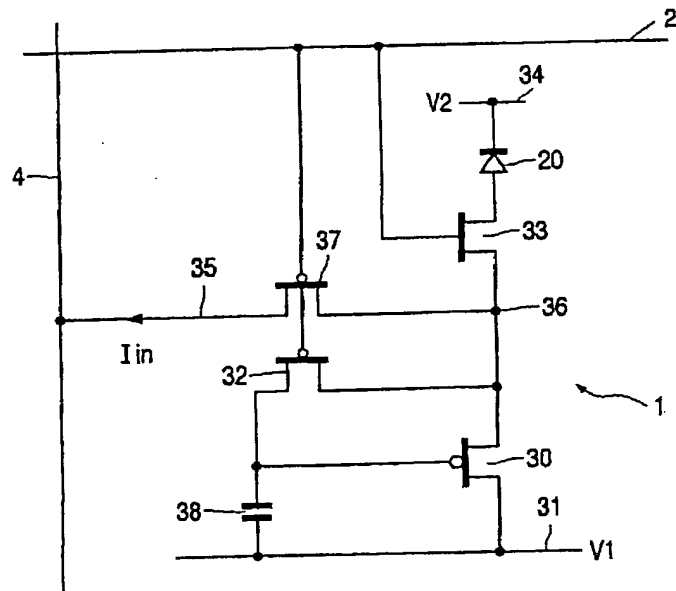


FIG. 3



(25)

【図 4】

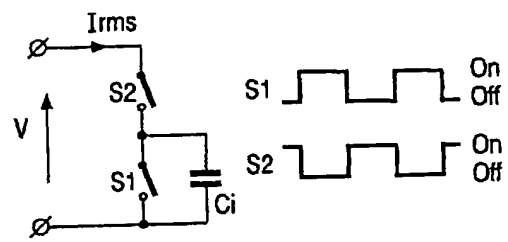


FIG. 4

【図 5】

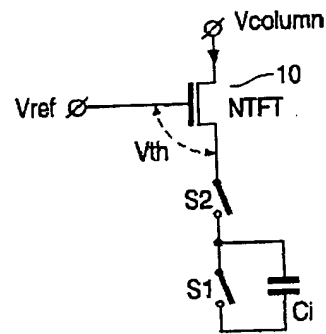


FIG. 5

【図 6】

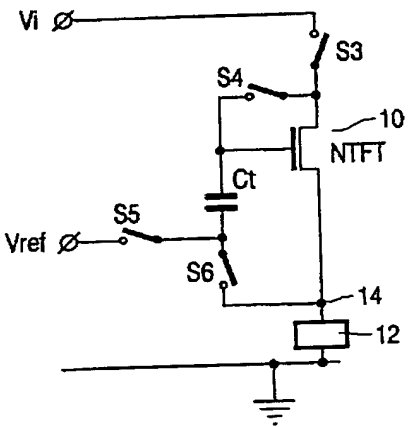


FIG. 6

(26)

【図 7】

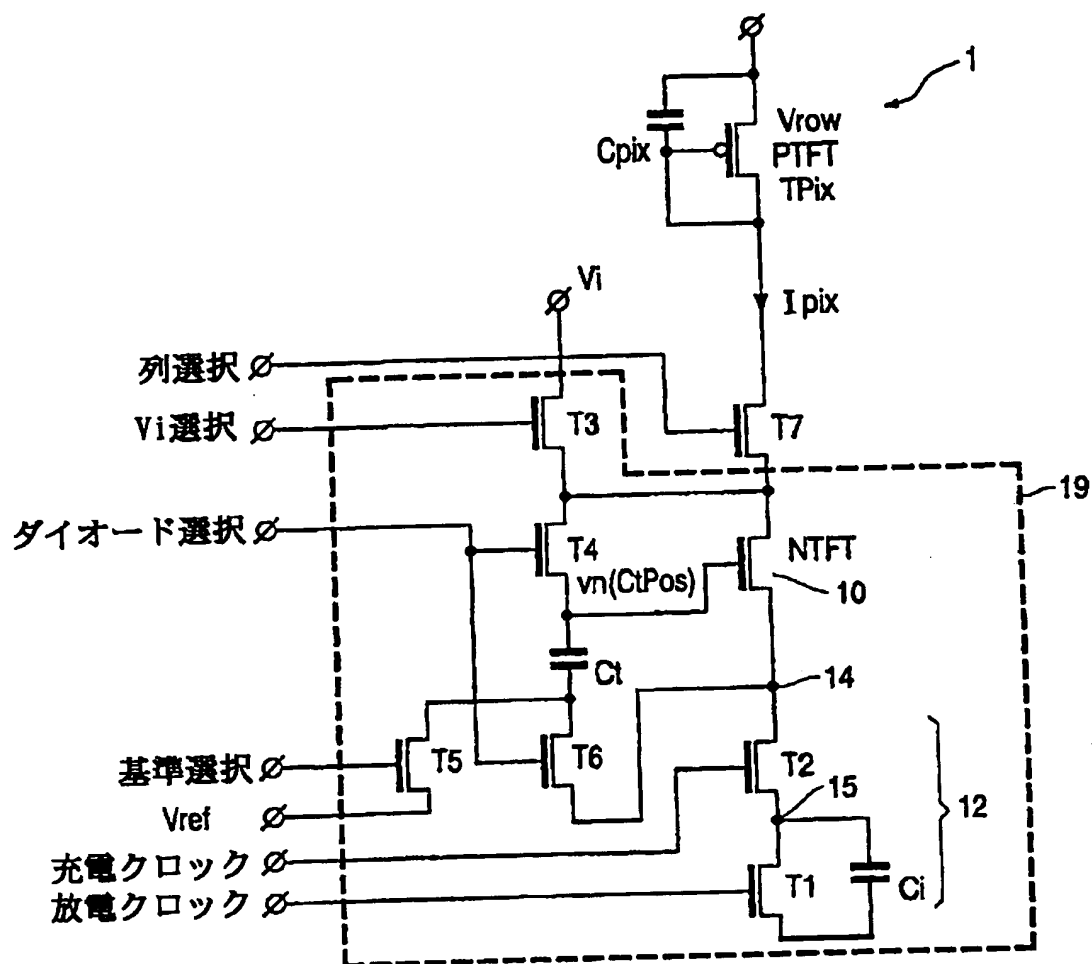


FIG. 7

(27)

【図8】

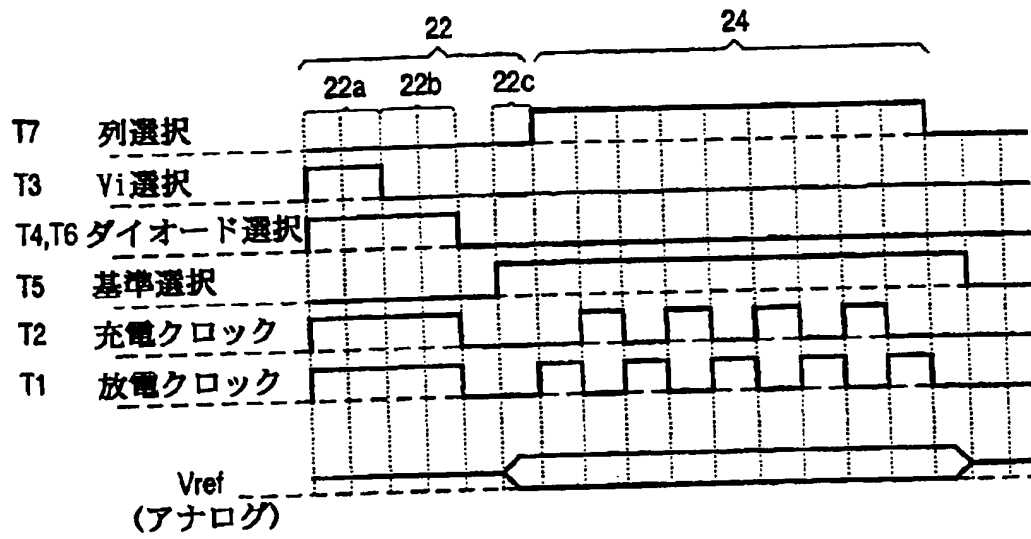


FIG. 8

(28)

【図9】

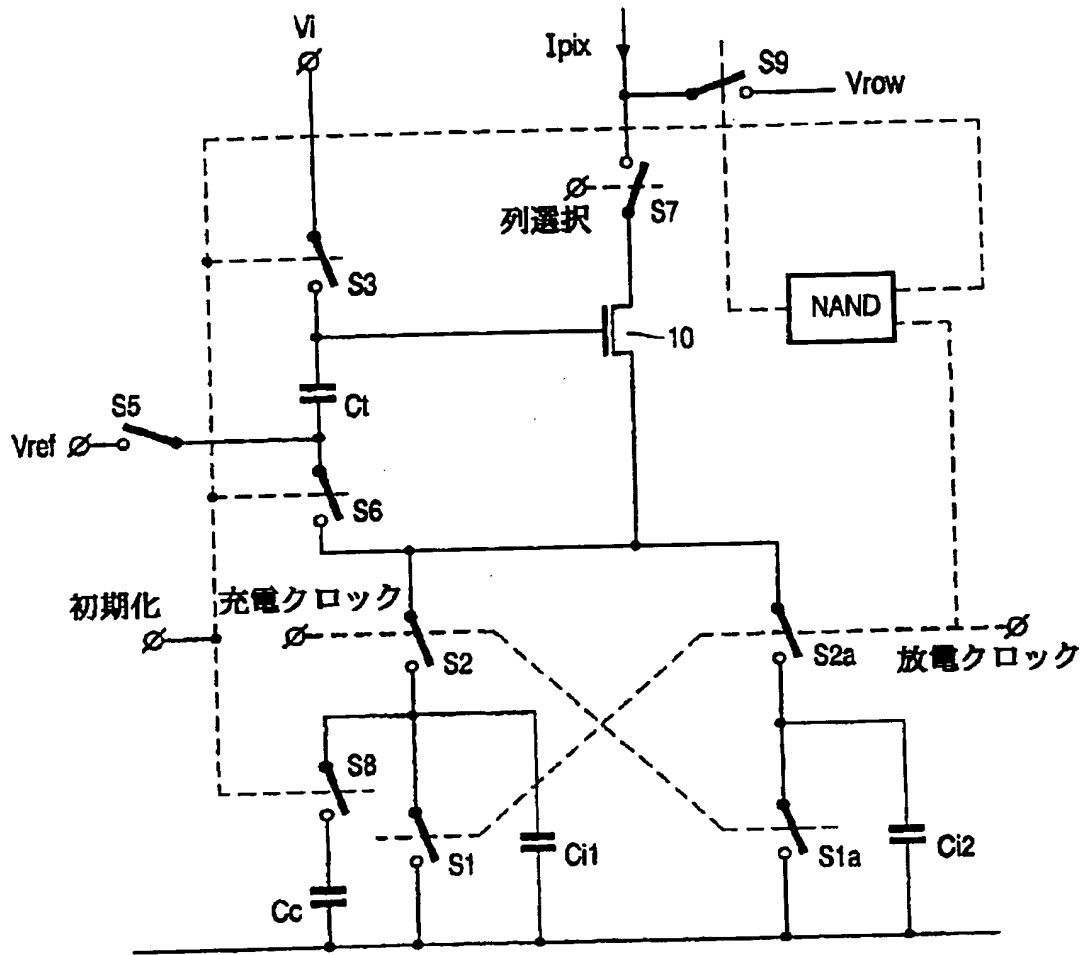


FIG. 9

(29)

【図 10】

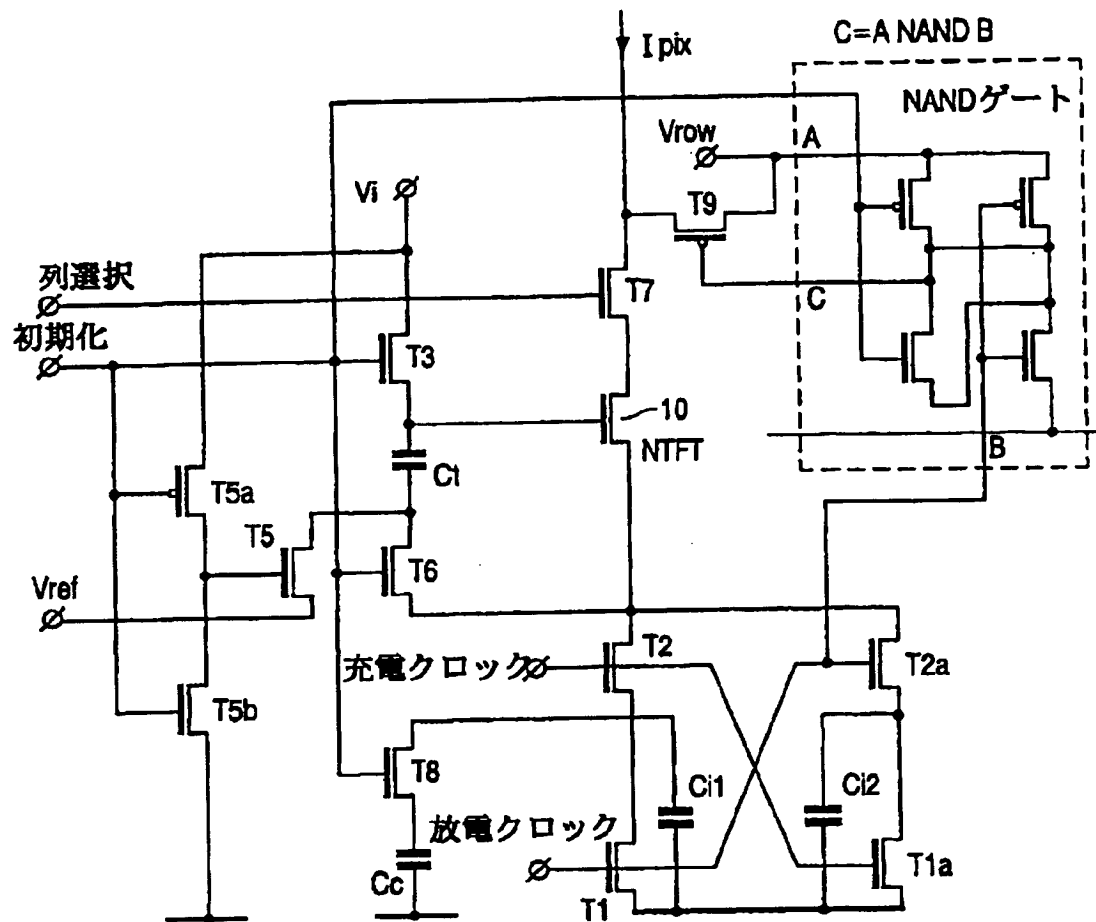


FIG. 10

【图 1 1】

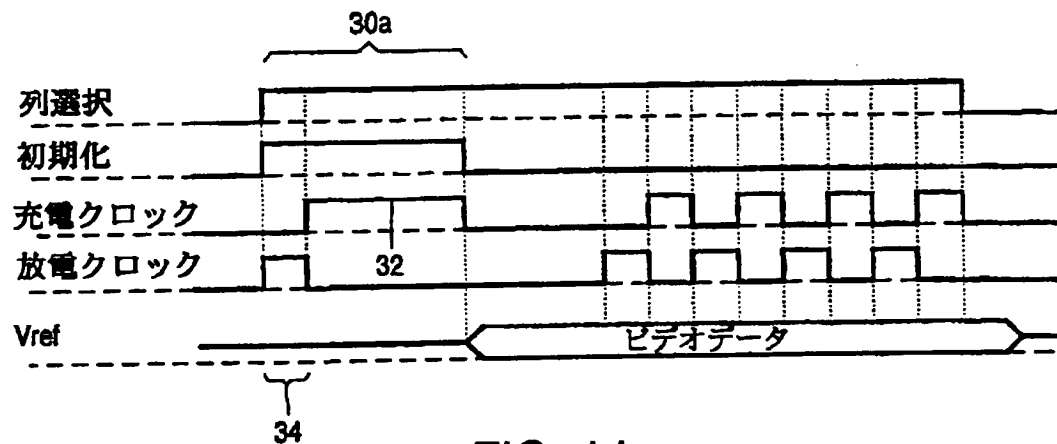


FIG. 11

(30)

【図 12】

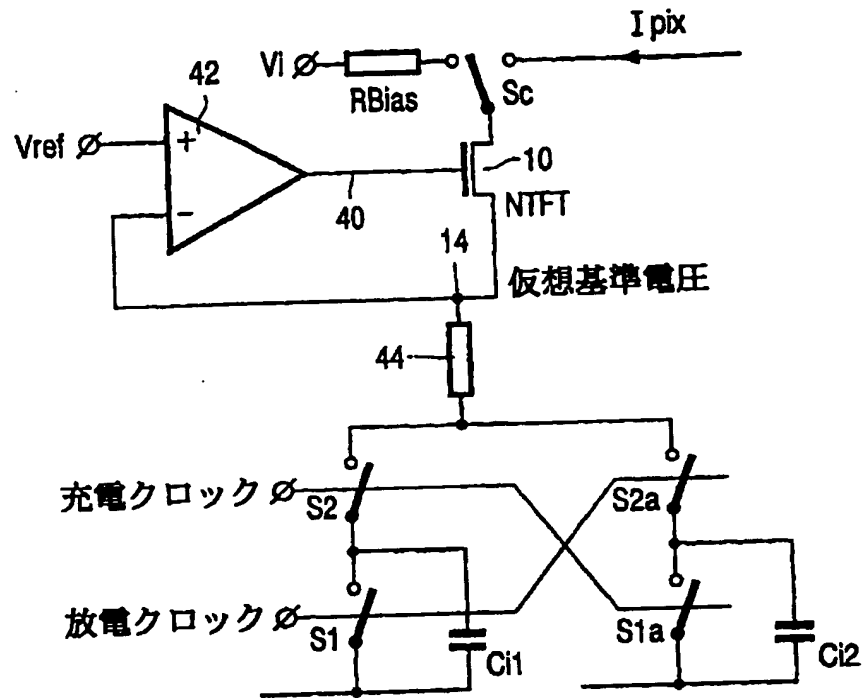


FIG. 12

(31)

【図 13】

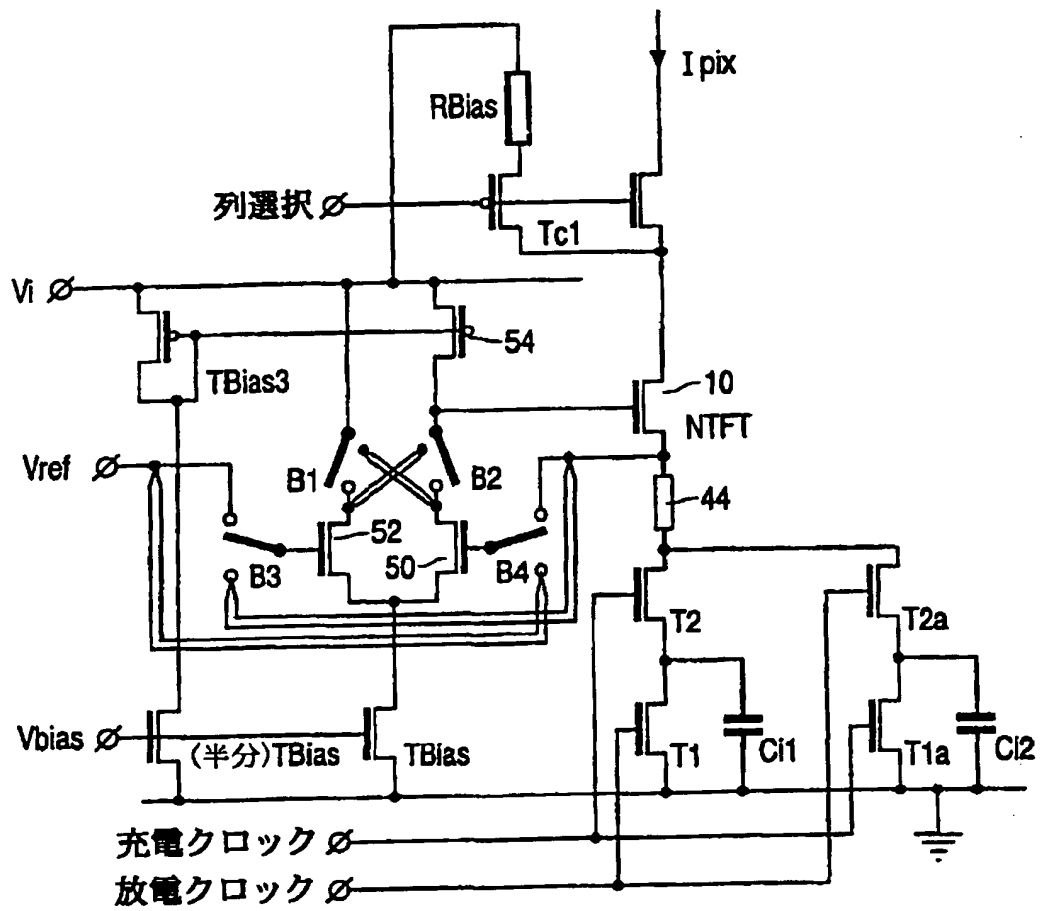


FIG. 13

(32)

【図 14】

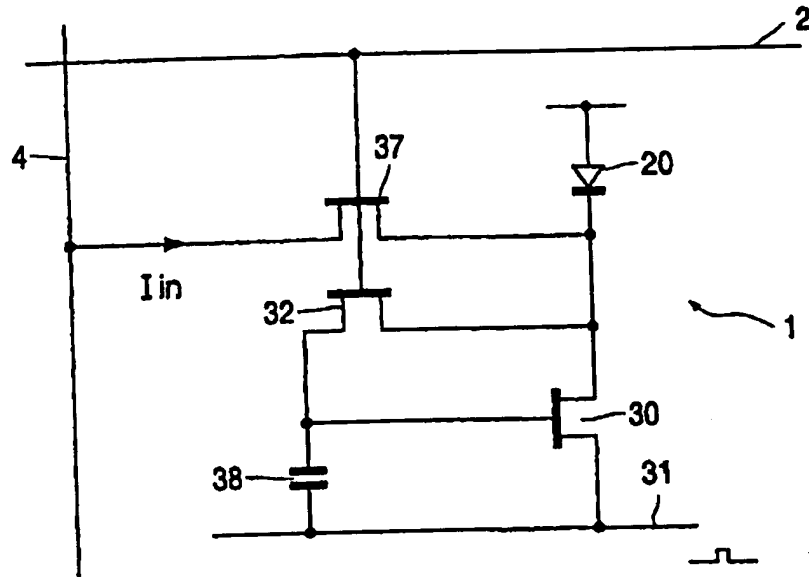


FIG. 14



(33)

【国際調査報告】

INTERNATIONAL SEARCH REPORT		Inter. oral Application No PCT/EP 01/02231
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G 605F H05B		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 766 221 A (PIONEER ELECTRONIC CORP) 2 April 1997 (1997-04-02) column 3, line 47 -column 5, line 28	1,8
A	US 5 952 789 A (IPRI ALFRED CHARLES ET AL) 14 September 1999 (1999-09-14) column 3, line 8 -column 7, line 9	1,8,9
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 6 July 2001		Date of mailing of the international search report 16/07/2001
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 851 epo nl, Fax (+31-70) 340-3016		Authorized officer Amfan, D

(34)

INTERNATIONAL SEARCH REPORT				International Application No. PCT/EP 01/02231	
Patent document cited in search report		Publication date	Patent family member(s)		Publication date
EP 0766221	A	02-04-1997	JP 9097925 A		08-04-1997
			DE 69605516 D		13-01-2000
			DE 69605516 T		04-05-2000
			US 5793163 A		11-08-1998
US 5952789	A	14-09-1999	JP 10319908 A		04-12-1998

(35)

---

フロントページの続き

(72) 発明者 ニール シー バード  
オランダ国 5656 アーアー アインドー  
フェン プロフ ホルストラーン 6  
Fターム(参考) 5C080 AA06 BB05 DD05 DD28 EE28  
FF11 GG07 GG08 JJ02 JJ03  
JJ04

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The array of the pixel which has arranged the pixel equipped with the display device of a current address type to the row and column, It has the drive circuit which generates the current signal corresponding to the desired output from said display device. Said drive circuit is equipped with the transistor switching device for impressing a charge electrical potential difference to a switched capacitor configuration. Said switched capacitor configuration A capacitor, In the display equipped with the switch which enables charge and discharge of this capacitor to said charge electrical potential difference with a predetermined speed alternatively Transistor control voltage is impressed to the control terminal of said transistor switching device. Said charge electrical potential difference is supplied to said switched capacitor configuration, and said transistor control voltage is adjusted according to the threshold voltage of a transistor. By this The display characterized by charging said capacitor certainly to said charge electrical potential difference irrespective of the value of said threshold voltage.

[Claim 2] The display according to claim 1 with which the sampling circuit for adjusting said transistor control voltage is prepared, this sampling circuit is equipped with a switch and a threshold level capacitor, and said sampling circuit is characterized by the ability to operate in the 1st mode in which said threshold level capacitor is charged to the threshold voltage of a transistor, and the 2nd mode in which the threshold voltage of the transistor to which it accumulated in said threshold level capacitor is added to transistor control voltage.

[Claim 3] The display according to claim 2 characterized by connecting said threshold level capacitor between the gate of a transistor, and the source, constituting said switch so that the drain and the gate of said transistor may be connected, and making it impress a sufficient drain electrical potential difference and gate voltage to make said transistor into an ON state in said 1st mode.

[Claim 4] The display according to claim 3 characterized by insulating said threshold level capacitor from said source, impressing said transistor control voltage to said capacitor in said 2nd mode, and making it impress said transistor control voltage to which it was made to increase by said threshold voltage to said gate.

[Claim 5] A display given in either from claim 1 to which said switched capacitor configuration is equipped with the 1st-pair switch and the 1st capacitor relevant to this, and the 2nd-pair switch and the 2nd capacitor relevant to this, and said switch is characterized by operating so that charge of one capacitor and discharge of the capacitor of another side may be performed to coincidence to claim 4.

[Claim 6] A display given in either from claim 1 characterized by equipping said switched capacitor configuration with the train capacitor charged during the initialization actuation period of said drive circuit to claim 5.

[Claim 7] The display according to claim 1 which makes it the electrical potential difference which supplies said transistor control voltage which is not adjusted to one input of the differential amplifier, and supplies the input of another side of said differential amplifier to said switched capacitor configuration as said charge electrical potential difference, and is characterized by supplying said adjusted transistor control voltage with the output of said differential amplifier.

[Claim 8] A display given in either from claim 1 characterized by constituting each pixel from an electro luminescent display device to claim 7.

[Claim 9] Each pixel can be equipped with the 1st and 2nd switching means, and it can operate in the 1st mode and the 2nd mode. In said 1st mode An input current is supplied to said 2nd switching means with said 1st switching means. The control level corresponding to said input current is accumulated in said 2nd switching means. And in said 2nd mode A display given in either from claim 1 characterized by supplying

- said accumulated control level to said 2nd switching means, and making it drive the current equivalent to said input current which passes along said display device to claim 8.  
[Claim 10] The display according to claim 9 characterized by accumulating said gate-source electrical potential difference of TFT in the operating point when said 2nd switching means is constituted from TFT at, and this source-drain current of TFT turns into said input current in a capacitor as said control level.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

(Technical field)

This invention relates to the current source used as a part of control circuit for a display, especially current address pixels. Such a display can constitute an electro luminescent (electroluminescence) display pixel from an array arranged to the row and column.

[0002]

(Conventional technique)

The matrix display equipment which adopted the electro luminescent luminescence display device is common knowledge. These display devices can consist of light emitting diodes (LED) which used the customary III-V semiconducting compound in the organic thin film film electro luminescent component which used for example, the polymer ingredient, or others. Especially the development in recent years in an organic electro luminescent ingredient, especially a polymer ingredient has shown that it is usable to video presentation equipments in these. These ingredients usually consist of conjugation polymer layers of one or more semi-conductors inserted into inter-electrode [ of a pair ], one side of these electrodes is transparent, and another side is a product made from an ingredient suitable for injecting a hole or an electron into this polymer layer.

[0003]

This polymer layer can be manufactured using a CVD process, or can only be manufactured with the spin coating technique using the dissolution of the conjugation polymer of fusibility. An organic electro luminescent ingredient can show the I-V property like diode, and, for this reason, these [ both ] can offer display capabilities and a switching function, therefore it is usable on the display of a passive (passive) mold. Or these ingredients can be used for the active-matrix display equipped with the switching element which controls the current by which each pixel passes along a display device and this display device again. The example of a active-matrix electro luminescent display is indicated by the Europe patent A-No. 0653741 and U.S. Pat. No. 5670792, and these contents are included in this specification as bibliography.

[0004]

Since it says that this kind of display has a current address display device, the problem of these displays arises. A current is influenced by the fault of changing as a function of the electrical characteristics of a switching transistor used for the power circuit, and deals in the power circuit of the practice which supplies the current of good control to these display devices. For example, a current control transistor is prepared as a part of pixel configuration, and the current which passes along a display device is decided by gate voltage supplied to a transistor. Different transistor characteristics change the relation between gate voltage and a source-drain current. Such a configuration is indicated by the Europe patent A-No. 0653741.

[0005]

As mentioned above, constituting a current control circuit from a part of pixel configuration, and supplying a pixel electrical potential difference to a pixel can also consist of independent circuits which established the current control circuit in the circumference or a viewing area, and it can also supply a pixel current to a pixel. When summarizing a current control circuit on the same substrate as a display pixel in any case, a current control circuit usually consists of thin film film switching elements like a thin film film transistor. Change which the uniformity covering the whole substrate of the electrical characteristics of a substrate switching element is sometimes poor, and change which cannot be predicted on a pixel current produces by this, therefore cannot be predicted to a pixel output, either arises.

[0006]

- (Indication of invention)

According to this invention Array which has arranged the pixel which each pixel equipped with the current address display device in the line and the train;

It has the transistor switching device which impresses a charge electrical potential difference to a switched capacitor configuration. It has the drive circuit which generates the current signal corresponding to the desired output from said display device. This switched capacitor configuration A capacitor, It consists of switches which enable charge and discharge of this capacitor to a charge electrical potential difference alternatively with a predetermined speed. Transistor control voltage is impressed to the control terminal of said transistor switching device. A charge electrical potential difference is supplied to said switched capacitor configuration, and said transistor control voltage is adjusted according to the threshold level (threshold of operation) electrical potential difference of a transistor. By this Irrespective of the threshold level of said transistor, a display which guarantees that the electrical-potential-difference aforementioned capacitor is charged to said charge electrical potential difference can be offered.

[0007]

The drive circuit used for the display of this invention can make it possible to supply a controllable current correctly, and this circuit can be used for driving a current address pixel. This circuit can be realized using a capacitor and a transistor, therefore it can collect on the active plate of an indicating equipment, and change of the threshold level of a transistor is compensated by change covering this plate top.

[0008]

In order to adjust the control voltage of a transistor, a sampling circuit can be prepared, this sampling circuit can be equipped with a switch and a threshold level capacitor, and this switching circuit can operate in the 1st mode in which this threshold level capacitor is charged to transistor threshold voltage, and the 2nd mode in which the transistor threshold voltage accumulated in this threshold level capacitor is added to transistor control voltage.

[0009]

Thus, by accumulating a charge in a threshold level capacitor, the threshold voltage of a transistor can be measured and this can be compensated.

[0010]

Said switched capacitor configuration can be constituted from the 1st-pair switch, the 1st capacitor relevant to this, the 2nd-pair switch, and the 2nd capacitor relevant to this, and these switches charge one capacitor, and it operates so that the capacitor of another side may be discharged to coincidence. This can make it possible to introduce the continuous charging current into a switched capacitor configuration, and, thereby, can reduce the current ripple of a current source.

[0011]

Moreover, said switched capacitor configuration can also be equipped with a train capacitor, and this is charged during the initial actuation period of said drive circuit. This enables compensation of the train capacitance (electric capacity) of the train of the pixel at the time of initiation of a current generating cycle, and, thereby, a circuit is more quickly stabilized.

[0012]

Instead of sampling threshold voltage, said adjusted transistor control voltage can be supplied with the output of the differential amplifier, non-adjusted transistor control voltage is supplied to one input of this amplifier, and the input of another side of an amplifier is made into the electrical potential difference supplied to a switched capacitor configuration as a charge electrical potential difference here.

[0013]

It is desirable that each pixel is equipped with an electro luminescent display device, and each pixel can be equipped with the 1st and 2nd switching means. These switching means Supply an input current to the 2nd switching means with the 1st switching means, and the 1st mode which accumulates the control level corresponding to an input current in the 2nd switching means, and the accumulated control level are supplied to the 2nd switching means. It can operate in the 2nd mode in which the current equivalent to the input current which passes along said display device by this is driven.

[0014]

(The best gestalt for inventing)

Hereafter, the example of the display by this invention is explained with reference to a drawing. the line (selection) address with which the electro luminescent indicating equipment of active-matrix addressing is shown in drawing 1 , this equips it with the electro luminescent display device accompanied by the switching means relevant to the panel which has the line of the pixel of regular spacing shown with

- block 1, and the matrix array of a train, and these switching means intersect it -- the group of a conductor 2, and the train (data) address -- it is located in an intersection with the group of a conductor 4. Since it is easy, only a small number of pixel has been shown in drawing. In fact, the pixel of hundreds of lines and a train may exist. each conductor -- the circumference drive circuit which consists of the line linked to the edge of a group or a scan drive circuit 6 and a train, or a data drive circuit 8 -- a line and the train address -- a pixel 1 is addressed through the group of a conductor. Although especially this invention relates to the current-supply circuit suitable for the train drive circuits 8, below, it is explained to a detail about actuation of the display which has a current address pixel first.

[0015]

The usual pixel of the block 1 in an array is shown in drawing 2 in the simplified graph-form, and this drawing means that how to carry out fundamental actuation of a pixel is shown. The practical method of realizing the pixel circuit of drawing 2 is shown in drawing 3.

[0016]

The electro luminescent display device shown with a reference number 20 was equipped with the organic light emitting diode shown as a diode component (LED) here, and the electrode of a pair, and inter-electrode [ these ] has pinched its layer of one or more organic electro luminescent ingredients. With the related active-matrix circuit, the display device of an array appears in one insulating support side. Either the cathode (cathode) of a display device or an anode (anode plate) is formed with a transparence electrical conducting material. This base material is a product made from a transparent material like glass, and a nearby electrode is constituted from a transparence electrical conducting material like ITO (indium stannic acid ghost) in the substrate of a display device 20, the light which an electro luminescent layer generates penetrates these electrodes and base materials, and it is made for a viewer to catch sight of it by the another side side of a base material. Thickness of said organic electro luminescent ingredient layer is usually made into the between from 100nm to 200nm. The example of a type of the suitable organic electro luminescent ingredient which can be used for components 20 is indicated by Europe patent A-0 717446 No., this incorporates the further information, and this indication is included in this specification as bibliography. An electro luminescent ingredient WO [ 96/No. 36959 ] like the conjugation polymer ingredient of a publication can also be used.

[0017]

the line in which each display device 20 has a switching means by which it is related, and this adjoined the display device -- a conductor 2 and a train -- it is constituted so that a display device may be operated according to the analog drive (data) signal level which is connected to a conductor 4 and supplied, and this signal level determines the drive current of a component, therefore it opts for an optical output. An indicative-data signal is supplied by the train drive circuit 8 which acts as a current source. It points to especially this invention in the train drive circuit described below.

[0018]

the train by which line address assignment was appropriately carried out in the current which the video signal processed appropriately is supplied to this circuit 8, and this circuit samples this video signal, and constitutes the data signal about video information in the line drive circuit 6 -- each of a conductor is supplied.

[0019]

The drive transistor 30 and the switching means equipped with especially the p-channel FET are shown, the source of this transistor is connected to a feeder 31, and a drain is connected to the anode of a display device 20 through a switch 33 at drawing 2. The cathode of a display device is connected to the 2nd feeder 34, and the continuation electrode layer held to the reference potential of immobilization constitutes this feeder in fact.

[0020]

The gate of a transistor 30 can be connected to a feeder 31, therefore it can connect with the source electrode of this transistor through the are recording capacitance (electric capacity) 38, and this capacitance (electric capacity) can be made into the capacitor formed independently or the proper gate-source capacity of a transistor. The gate of a transistor 30 is connected also to the drain terminal of this transistor through a switch 32.

[0021]

This transistor circuit operates by behavior of the current (current) mirror of a single transistor, the same transistor performs both a current sampling and the function of a current output, and a display device 20 acts as a load. The input to this current Miller circuit is supplied by driving the current which comes out of an



input line 35, this line is connected through the further switch 37 at the joint 36 between switches 32 and 33, this joint constitutes an input terminal, and a switch 37 controls installation of the current from this joint.

[0022]

Actuation of this circuit is performed in two steps. In the 1st sampling phase which corresponds to an addressing period in time, the input current signal which opts for the required output from a display device is introduced from a circuit, the consequent gate-source electrical potential difference of a transistor 30 is sampled, and it accumulates in capacitance 38. On a subsequent output stage story, a transistor 30 operates so that the drive current which passes along a display device 20 may be driven according to the level of said accumulated electrical potential difference, and it is determined by the input current, and the output which a display device needs is generated, for example, it is a new consecutive sampling phase, and this output is maintained until it next addresses a display device. It shall be the potential level V1 and V2 which presetted feeders 31 and 34 appropriately all over both phases. Usually, a feeder 31 is near potential (V1), and a feeder 34 is near negative potential (V2).

[0023]

All over a sampling phase, switches 32 and 37 are made close, a switch 33 is made open, a switch 32 makes diode connection of the transistor 30, and a switch 33 insulates a display device load. The input signal equivalent to a current required for a display device shown in drawing by  $I_{in}$  is introduced from an external power like the train drive circuit 8 of drawing 1 by input-line 35, closed switch 37, and input terminal 36 course. Since diode connection of the transistor 30 is made with the closed switch 32, the electrical potential difference between terminals of the capacitance 38 in steady state conditions turns into a gate-source electrical potential difference required to drive the current  $I_{in}$  which passes along the channel of a transistor 30. If the switches 32 and 37 with which sufficient time amount to stabilize this current is taken, and an input terminal 36 is insulated with from an input line, and capacitance 38 is insulated are made open, a sampling phase will be ended, and the gate-source electrical potential difference decided according to an input signal  $I_{in}$  is accumulated in capacitance 38. And if a switch 33 is closed, an output stage story will be started and a switch 33 will connect the anode of a display device to the drain of a transistor 30. And a transistor 30 operates as a current source and a current almost equal to  $I_{in}$  drives through a display device 20.

[0024]

Since the transistor 30 tends to have the output resistance of a finite value in fact again and it cannot act as a perfect current source by capacity coupling by the charge impregnation effectiveness of making capacitance 38 producing electrical-potential-difference change in case a switch 32 is turned off, the drive currents for display devices may differ for a while merely from an input current  $I_{in}$ . However, in order to sample  $I_{in}$  all over a sampling phase, and since a current is generated in an output stage story and the same transistor is used, it does not depend for a display device current on the threshold voltage or mobility of a transistor 30.

[0025]

The actual example of the pixel circuit of drawing 2 used for the display of drawing 1 at drawing 3 is shown. In this example, a transistor constitutes each of switches 32, 33, and 37, and these switching transistors are altogether formed as a thin film field-effect transistor, i.e., TFT, with the drive transistor 30. an input line 35 and the input line equivalent to this of all the pixels within the same train -- the train address -- it connects with a conductor 4 and connects with the train drive circuit 8 through this conductor as a result. the gate of transistors 32, 33, and 37, and the gate of a transistor which is equivalent to these of the pixel circuit in the same line similarly -- all -- the same line address -- it connects with a conductor 2. transistors 32 and 37 -- p-channel device -- constituting -- the line drive circuit 6 -- a line address -- it turns ON (close) with the selection (scan) signal of the electrical-potential-difference pulse form voice impressed to a conductor 2. A transistor 33 is a reverse flow mold, if it consists of n channel devices, operates by behavior with complementary transistors 32 and 37, and transistors 32 and 37 will answer the selection signal on a conductor 2 for this reason and it will be in a closed state, it will be in an OFF (open) condition, and it will be in that reverse condition.

[0026]

a feeder 31 -- a line -- it extends as an electrode in parallel with a conductor 2, and all the pixel circuits in the same line share this. The feeder 31 of all lines can be packed at the end, and it can connect. Instead, these feeders are made to extend in the direction of a train, and the display device within each train can also share each feeder. Or the feeder which extends in both a line and the direction of a train is prepared again, these are interconnected, and grids structure is formed.

[0027]

- said array -- each line -- a sequential drive is carried out at party coincidence with the selection signal which carries out sequential impression at a conductor 2. The duration of this selection signal determines a line address period, and this is equivalent to the period of the sampling phase mentioned above. the suitable input current driving signal which constitutes a data signal synchronizing with a selection signal required for addressing of party coincidence -- the train drive circuit 8 -- a train -- it is impressed by the conductor 4 and all the display devices in the selected line are set as drive level required for coincidence during a line address period with each input signal which determines the required display output from this display device. The display device of the next line is also addressed by the same approach following addressing of the line in this approach. If it finishes addressing the display device of all lines during a field period, this addressing procedure is repeated also during a subsequent field period, and only a field period will maintain this drive current until it sets up the drive current for an output the predetermined object for display devices, therefore predetermined and addresses the display device of a related line next during each line address period.

[0028]

Especially this invention relates to the circuit which supplies a current driving signal to the train of a pixel. This invention relates to the swithed capacitor current source which can be summarized on the active plate of the display device which can be realized using a polymer silicon TFT device, therefore has a current drive pixel especially.

[0029]

The principle of this current source is charging and discharging a known capacitor continuously to a known electrical potential difference. Of course, the electrical potential difference of a capacitor is given by  $Q=C \cdot V$ . When charging periodically the capacitor which discharged completely to an electrical potential difference  $V_c$  using the charge of the amount of immobilization and discharging again with  $F$  times per second of speed Becoming  $I_{rms}=C \cdot V_c \cdot F$ ,  $I_{rms}$  is the actual value (mean square square root) of the charging current here.

[0030]

The circuit for current control which used the swithed capacitor configuration for drawing 4 is shown. In this circuit,  $S_1$  is a discharge switch and  $S_2$  is a charge switch. These two switches operate by the opposite phase mutually. If the voltage drop between the terminals of  $S_2$  is disregarded in case  $S_2$  is close and  $S_1$  is open, Capacitor  $C_i$  (a charge capacitor is called below) will be charged to an electrical potential difference  $V$ .  $S_2$  comes out and there is, and in case  $S_1$  is close, this capacitor discharges through  $S_1$ .

[0031]

The train of a active-matrix display can be driven according to the capacitor charging current by constituting these trains so that it may act as a current source. For example, all over the current sampling phase of the pixel circuit of drawing 2, the current which said swithed capacitor configuration introduces can be supplied by the line 35. It is difficult to interconnect and to connect a pixel train to a current-supply circuit with other pixel configurations. Since the capacitance of a value  $C$  can be correctly constituted on a active-matrix plate and a frequency  $F$  can be correctly controlled using subdivision of for example, a pixel clock, thereby, a current value can produce the precise current source depending on the variable which is these two, and said charge electrical potential difference.

[0032]

In order to actually realize the circuit for video signals, a mainly difficult thing is controlling correctly the electrical potential difference which charges a capacitor to the electrical potential difference. A frequency  $F$  and the capacitance value  $C_i$  can be fixed more easily. In drawing 5, the practical method of realizing the circuit of drawing 4 is shown, and a charge electrical potential difference is controlled here to it using an  $n$  channel TFT.

[0033]

Larger reference voltage than the threshold voltage  $V_{th}$  of TFT is impressed to the gate of TFT. If  $S_2$  is made close and  $S_1$  is made open, it will charge so that the capacitor  $C_i$  (capacitor which supplies the charging current) under charge may approach  $V_{column}$  through TFT. However, if  $C_i$  is charged to what lengthened the threshold voltage between the gate-sources from the reference voltage of  $V_{ref}-V_{th}$ , i.e., the gate, TFT will stop a flow and a capacitor will suspend charge. In the period of fixed time,  $S_2$  becomes open, and  $S_1$  becomes close and discharges  $C_i$  through  $S_1$ . This cycle is started again and the charge of an amount equal to  $C \cdot (V_{ref}-V_{th})$  is generated through a train each time.

[0034]

Since the uniformity of TFT which the threshold voltage of TFT affects the output value of a current source, and lets a display pass is not guaranteed, the approach of supplying gate voltage with the threshold level

value of TFT is adopted as the design of the current source of this invention. In the design of this invention, according to the threshold voltage of a transistor, the gate voltage of an adjusted transistor is impressed to the gate of TFT, and it guarantees that a capacitor is correctly charged to a known charge electrical potential difference irrespective of the threshold voltage of this transistor.

[0035]

The 1st method employable as the current source of this invention at drawing 6 of compensating said threshold voltage is shown notionally.

[0036]

A transistor 10 is formed, in order to impress a charge electrical potential difference to the switched capacitor configuration 12 and to supply a charge electrical potential difference to especially the joint 14. The switched capacitor configuration 12 is equipped with the switches S1 and S2 and the charge capacitor Ci which are shown in drawing 5. This circuit introduces a current from the input terminal Vi of fixed potential, and this fixed potential is enough to enable charge of the capacitor under switched capacitor configuration 12 to a desired electrical potential difference through a transistor 10.

[0037]

This charge electrical potential difference is supplied to the circuit of drawing 6 as reference voltage Vref. However, this reference voltage is instead impressed through the threshold level capacitor Ct without being directly impressed by the gate of a transistor (it is shown in drawing 5 like) 10. The gate of a transistor 10 is connected to one of this threshold level capacitor side, and the another side side of a threshold level capacitor is combined with a reference voltage input through a switch S5. The terminal of this capacitor is connected through the further switch S6 also at a joint 14.

[0038]

The drain and the gate of a transistor 10 are alternatively connected by switch S4, and a switch S3 insulates the train of Input Vi from the drain of a transistor 10 alternatively further. This transistor circuit operates as an electrical-potential-difference sampling circuit which samples the gate-source electrical potential difference to predetermined bias conditions.

[0039]

Actuation of this circuit is performed in the two modes. In the 1st mode of operation, this circuit operates so that the threshold voltage of a transistor 10 may be accumulated in the threshold level capacitor Ct. In this mode, reference voltage Vref is insulated by making a switch S5 open and making close all of other switches S3, S4, and S6. And diode connection of this transistor is made so that the gate may be connected with a drain too hastily with a switch 4. The electrical potential difference of the train which is Input Vi is larger than the threshold voltage of a transistor, and impresses this electrical potential difference to both a drain and the gate. You make close both the switches S1 and S2 of the switched capacitor configuration shown in drawing 5, and it is made for a transistor 10 to make it flow through between Input Vi and touch-down. On the steady state conditions of a transistor, the threshold level capacitor Ct is charged to the electrical potential difference of the gate. Since it is enough to make a switch S3 open, for the threshold level capacitor Ct start discharge, and for the electrical potential difference of the threshold level capacitor Ct make a transistor 10 an ON state once it attains this, the drain-source current of a transistor 10 is supplied. If a gate-source electrical potential difference reaches threshold voltage Vth, a transistor will stop a flow and a threshold level capacitor will be charged to an electrical potential difference equal to this threshold voltage. Switch S4 and S6 are made open after that, and the charge accumulated in the threshold level capacitor in this way is insulated.

[0040]

Gate voltage will become ( $V_{ref} + V_{th}$ ) if reference voltage Vref is impressed by closing a switch S5 after that. Since the gate voltage of a transistor is adjusted in consideration of the threshold voltage of a transistor, once it charges Ci, thereby, it will be guaranteed that the electrical potential difference of a joint 14 becomes equal to reference voltage Vref.

[0041]

This threshold voltage compensation can be performed whenever it impresses new reference voltage. In fact, in the case of the matrix array of a display pixel, threshold level compensation is performed at the time of initiation of addressing of the pixel of each Rhine.

[0042]

The time constant and pixel capacitance of a pixel switching transistor must be large enough so that good filtering of the current pulse produced by the charge and discharge by switching of the charge capacitor Ci under switched capacitor configuration can be performed.

[0043]

The practical method of realizing the circuit shown in drawing 7 at drawing 6 is shown. It has indicated that transistors T1 and T2 realize the switches S1 and S2 of said switched capacitor configuration, and it is indicated that transistor T3-T6 realize the switches S3-S6 of said threshold level compensating circuit. The component shown by 19 can be considered as what specifies a current source, and it is indicated that the additional transistor T7 connects a current source 19 and the train of a pixel. This makes it possible to insulate the train of a pixel from a current source 19 all over a threshold level compensation phase. The sign 1 has shown one pixel in graph.

[0044]

Each of transistors T1-T7 relates to the control signal which should be impressed to each gate. The timing of the signal impressed to the gate of these transistors opts for actuation of a circuit.

[0045]

The timing chart about the circuit of drawing 7 is shown in drawing 8. The cycle of two actuation essentially exists and these are the 1st cycle 22 which is a threshold level compensation cycle, and the current supply source cycle 24.

[0046]

A transistor T7 is turned off into the threshold level compensation cycle 22, therefore gate voltage becomes a low (low value). In period 22a, a threshold level capacitor is charged to input voltage  $V_i$  through transistors T6, T2, and T1. After charging a threshold level capacitor, transistor T3 is made into an OFF state, and in period 22b, this capacitor discharges through a transistor 10 until the electrical potential difference between terminals of a threshold level capacitor turns into threshold voltage of a transistor. Finally, in period 22c, reference voltage  $V_{ref}$  is impressed to a threshold level capacitor, and a desired electrical potential difference is generated at the gate of a transistor 10. And during the actuation 24 in current source mode, periodic actuation of two transistors T1 and T2 continues.

[0047]

As mentioned above, the circuit of this invention makes it possible to impress a controllable electrical potential difference to a joint 14 correctly. However, a charge electrical potential difference is specified in a joint 15, and this differs only in the source-drain electrical potential difference of a transistor from the electrical potential difference of a joint 14. If a transistor T2 is operated in a saturation region, the source-drain electrical potential difference will stop much easily being influenced by threshold voltage of the change covering a substrate. In case reference voltage required for a specific current output is calculated, this source-drain electrical potential difference is taken into consideration.

[0048]

Since discharge of  $C_t$  is exponential, the potential problem relevant to this design is the die length of sampling period 22b of threshold voltage. Other potential problems are ripple voltages seen on the pixel filter capacitor  $C_{pix}$  (38 of drawing 2). Train capacitance can be made high to 20pF, and the capacitance of  $C_{pix}$  should be made 1pF or the order below it. If a 0.1pF charge capacitor is used, depending on the desired engine performance, a train capacitor and the charging time of  $C_{pix}$  will become long out of permission. If the size of a charge capacitor is made to increase, the ripple voltage between the terminals of  $C_{pix}$  will increase. In fact, although the frequency of charge and a discharge clock can be made to increase, the more nearly mass charge transistor 10 and T2 must attain this. There is an opposite effect of bringing about the charge impregnation to the bigger gate in making the size of a transistor increase, and accuracy falls. The modification of the circuit for conquering these problems is shown in drawing 9.

[0049]

The 1st modification prepares two switched capacitor configurations. The 1st-pair switches S1 and S2 charge and discharge the 1st charge capacitor  $C_{i1}$ , and switch S1a of the 2nd pair and S2a charge and discharge the 2nd charge capacitor  $C_{i2}$ . The capacitor of another side discharges during charge of one capacitor, and it becomes the reverse. In order to attain this, the discharge switch of the switched capacitor configuration of another side shares the control line for one charge switch, and it considers as the reverse.

[0050]

Moreover, the additional capacitor  $C_c$  is formed, and the opposite effect of said train capacitance is reduced, and this capacitor also makes it possible to perform threshold level compensation in one actuation.

[0051]

A sign "initialization" shows the control line a switch S3 and for S6 to drawing 9. All over an initialization phase, the threshold level capacitor  $C_t$  is charged to input voltage  $V_i$ . The control signal which makes close switches S3 and S6 also makes close the additional switch S8 which carries out parallel connection of the

- additional capacitor Cc to one Ci1 of a charge capacitor. In the 1st charge cycle, in case a switch S2 is made close and the charge capacitor Ci1 is charged, the additional capacitor Cc is charged. In case a suitable charge cycle starts, the additional charge accumulated in Capacitor Cc is enough to charge pixel capacitance at a train capacitance list. Capacitor Cc is made into the order of the sum total of the train capacitance of a display in order to carry out like this.

[0052]

Furthermore all over an initialization phase, a train capacitor, a pixel capacitor, and the charge capacitor Ci also discharge. It has prepared, in order that switch S9 may discharge a train capacitor and a pixel capacitor, and this switch is operated only during an initialization phase and charge of the charge capacitor Ci. In order to perform this, an initialization signal and a discharge clock signal are supplied to the NAND gate which controls actuation of switch S9. Discharge of a train capacitor and a pixel capacitor is performed through a transistor 10, and these charges are passed effective in the additional capacitor Cc and the charge capacitor Ci1 all over an initialization phase.

[0053]

an initialization phase -- capacitors Cc and Ci1 -- until -- ( $V_i - V_{th}$ ) it is necessary to be time amount sufficiently long although it charges

[0054]

In the charge-discharge cycle following an initialization phase, the electrical potential difference between terminals of a pixel capacitor is stabilized. Can make the charge capacitors Ci1 and Ci2 smaller than the thing in the circuit of drawing 7, the frequency of a charge-discharge cycle is made to increase by this, and the electrical-potential-difference ripple on a pixel capacitor can be reduced.

[0055]

The method of realizing the circuit of drawing 9 is shown in drawing 10, each switch is realized to it as a transistor here, and the same reference number as drawing 9 is used for it. For example, a switch S1 is realizing as a transistor T1 etc.

[0056]

In this circuit, immediately after completing an initialization phase, reference voltage can be impressed. Therefore, control of a transistor T5 becomes reverse logically with transistor T3 and control of T6 and T8. In order to perform this logic inverting function, transistor T5a and T5b are prepared.

[0057]

He can understand actuation of this circuit more easily from the timing chart shown in drawing 11.

[0058]

One discharge and a charge cycle are performed in initialization period 30a. Extending a charge cycle until the additional capacitor Cc comes to be charged, this capacitor accumulates a charge required to exceed the train capacitance of a display. 32 shows this extended charge cycle. It is that the output of a NAND gate is a low (the input which is two is yes) at the time of initiation of an initialization phase, and this output is a low only at this time. This unique low output makes TFT of p-mold a closed state, and produces discharge of train capacitance. In an initialization period, the output of a NAND gate is always a high, and a transistor T9 is turned off and it insulates a line from a current-supply circuit. The period whose discharge clock signal in initialization time amount 30a is a high can be considered as a reset period of a train, and shows this by 34.

[0059]

Although this circuit is the same as that of the current days of supply 24 of the circuit of drawing 7 once it ends initialization period 30a, it operates by the continuous charging current supplied by the swicthed capacitor configuration of two capacitors.

[0060]

The further alternate method which generates a controllable electrical potential difference correctly and charges a current source capacitor to this electrical potential difference is an approach using the differential amplifier which has negative feedback. This principle is shown in drawing 12 and this uses OPAMP (operational amplifier) as differential amplifier. The output 40 of OPAMP42 supplies gate voltage to a transistor 10, and the source of a transistor 10 is combined with the reversal input of amplifier 42. Amplifier 42 supplies an electrical potential difference to that output, and this amplifier has the electrical potential difference of a reversal input and a noninverting input in the same level. The electrical potential difference of a joint 14 becomes equal to the reference voltage Vref impressed to the noninverting terminal as a result.

[0061]

Essentially, this circuit is a linear circuit which adopted negative feedback. The charge capacitor Ci is charging, and the difference of Vref at the time of S2 being close and a source electrical potential difference

- becomes the function of the gain of OPAMP, and it becomes the order of a millivolt. The inflow of the initial charge to a capacitor is controlled using the charge resistance 44. If this resistance does not exist, in case a capacitor is charged, a feedback loop will turn into an open loop as a matter of fact. This is because the current of the magnitude which needs a transistor 10 to charge the charge capacitor  $C_i$  to the target electrical potential difference  $V_{ref}$  in an instant cannot be supplied. Although installation of resistance 44 does not influence the value of a current source, it restricts a circuit frequency.

[0062]

In this circuit, as explained with reference to drawing 9, in order to make it it not happen that a feedback loop becomes an open circuit, a feedback loop is cut off, and the stability of a control circuit collapses, the duplex configuration of a charge capacitor is needed.

[0063]

Moreover, a feedback loop is cut off also when not choosing a train. If bias resistance  $R_{Bias}$  is added, also when having not chosen the train, OPAMP can control a transistor 10 by such reason continuously. In case a train is addressed, this bias resistance is removed from a circuit with a switch, and installation of the offset current is prevented.

[0064]

In principle, this circuit does not have the time delay relevant to the sampling of threshold voltage of a transistor 10 like the circuit of a front example. If the gain band of a circuit is large enough, this circuit can operate also on a higher frequency. This enables use of the smaller charge capacitor  $C_i$ , and thereby, it can make an output ripple smaller while it makes pixel capacitance smaller.

[0065]

The method of realizing the circuit of drawing 12 is shown more in a detail at drawing 13.

[0066]

A difficult point is the input offset voltage of the differential amplifier potentially [ this circuit ]. This is dependent on transistor adjustment of the transistor in OPAMP. However, if eight more switches are used, it will become possible to exchange the location of the transistor in a circuit. The line shown by the double line all over four 2 pole switch B1, B-2, B3, B4, and drawings has expressed these switches. After each charge cycle, the transistor which constitutes the input stage to OPAMP can be exchanged, and, thereby, the effect of the mismatching of a transistor can be reduced.

[0067]

For example, if B4 connects the gate of a transistor 50 at the joint between a transistor 10 and the charge resistance 44, B3 will connect the gate of other transistors 52 to  $V_{ref}$ . B-2 connects a transistor 54 to the drain of a transistor 50, and B1 connects the drain of a transistor 52 to coincidence at  $V_i$ . And all switches are reversed and the role of transistors 50 and 52 is reversed. thereby -- difference -- the problem relevant to the transistor mismatching between the transistors 50 and 52 which specify an amplifier is removed, and these transistors come to function not as two independent devices but as one unit.

[0068]

This invention is applicable also to the display which has which specific pixel configuration, if a display device is a current address type.

[0069]

The deformation gestalt of the alternative plan of the pixel circuit which avoids the need of using the transistor of a reversed-polarity mold to drawing 14, and introduces a current into it from a train 4 is shown. In this circuit, a transistor 33 is removed and an input terminal 36 is directly connected to a display device 20. Like other circuits, two phases, i.e., a sampling phase, and an output stage story exist working [ a current mirror ]. the line related all over a sampling phase -- switching transistors 32 and 37 will be in a closed state, and diode connection of these transistors is made by the selection pulse on a conductor 2 at a transistor 30. A feeder 31 supplies a forward electrical-potential-difference pulse to this feeder, without leaving to fixed reference voltage like [ front ], and the reverse bias of the display device 20 is made to be carried out to coincidence. In this condition, a current cannot flow through a display device 20 and the drain current of a transistor 30 will become equal to an input current  $I_{in}$  (if the minute reverse leakage current is disregarded). Thus, the proper gate-source electrical-potential-difference electrical potential difference of a transistor 30 can be again sampled on capacitance 38. Like [ front ], switching transistors 32 and 37 are changed into an OFF (open) condition at the end of a sampling phase, a feeder 31 is returned to the usual level, and this is usually 0V. On a subsequent output stage story, a transistor 30 operates as a current source which introduces the current which passes along a display device by level decided like a front with the electrical potential difference accumulated in the capacitor 38.

• [0070]

In the example of drawing 14, the feeder 31 linked to a voltage source can be formed according to an individual for every line of a pixel. When the display device in a line is addressed (as a result of adding a pulse to a feeder 31), it is turned off and one common feeder common to all the pixel circuits in an array actually exists all over a sampling phase (i.e., when only a party's feeder 31 is a part of successive line which interconnects the pixel circuit of all lines), all over each sampling phase, all display devices are turned off irrespective of which line is addressed. Thereby, the duty cycle (ratio of ON time amount and off time amount) about a display device falls. For this reason, it is desirable to maintain at the condition of having separated the feeder 31 relevant to one line from the feeder relevant to other lines.

[0071]

It is clear from the above indication that this contractor can devise other displacement methods. In the field of a matrix mold electro luminescent display and its component part, such a displacement method may include other known descriptions, and can replace them with the description already described on these specifications, or, in addition to these descriptions, can be used.

[Brief Description of the Drawings]

[Drawing 1] It is drawing simplifying and showing a part of example of the display by this invention.

[Drawing 2] It is drawing showing the equal circuit of the usual pixel circuit equipped with the control circuit relevant to the display device and this in the display of drawing 1 in an easy form.

[Drawing 3] It is drawing showing the practical implementation approach of the pixel circuit of drawing 2.

[Drawing 4] It is drawing showing the principle of operation of a switched capacitor current source.

[Drawing 5] It is drawing showing the implementation approach of a switched capacitor current source.

[Drawing 6] It is drawing showing in graph the 1st circuit which compensates the transistor threshold electrical potential difference used for the display of this invention.

[Drawing 7] It is drawing showing the practical implementation approach of the circuit of drawing 6.

[Drawing 8] It is a timing chart for the circuits of drawing 7.

[Drawing 9] It is drawing showing in graph the 2nd circuit which compensates the transistor threshold electrical potential difference used for the display of this invention.

[Drawing 10] It is drawing showing the practical implementation approach of the circuit of drawing 9.

[Drawing 11] It is a timing chart about the circuit of drawing 10.

[Drawing 12] It is drawing showing in graph the 3rd circuit which compensates the transistor threshold electrical potential difference used for the display of this invention.

[Drawing 13] It is drawing showing the practical implementation approach of the circuit of drawing 12.

[Drawing 14] It is drawing showing the pixel circuit of an alternative plan.

---

[Translation done.]

• \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]

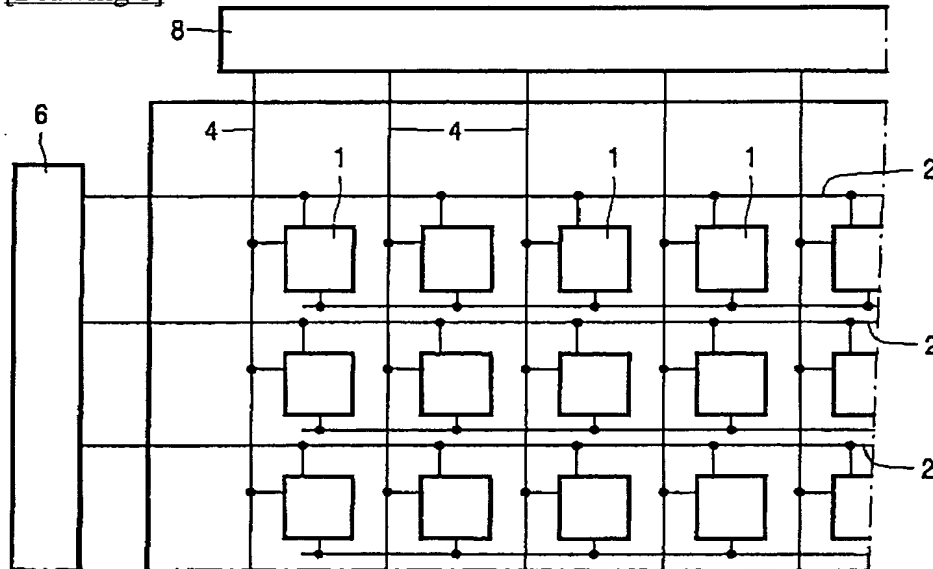


FIG. 1

[Drawing 2]

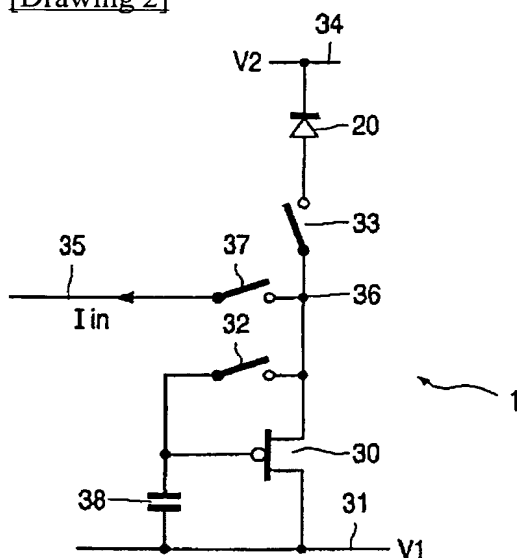


FIG. 2

[Drawing 3]



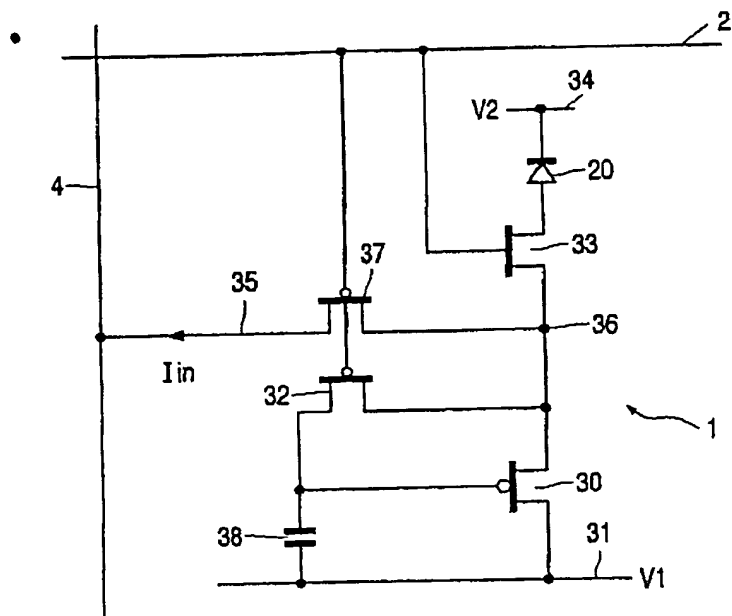


FIG. 3

[Drawing 4]

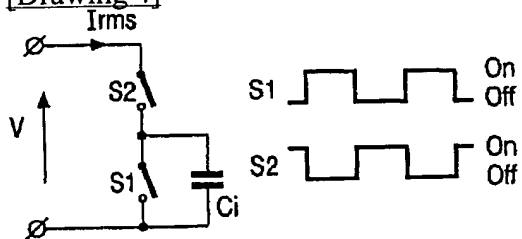


FIG. 4

[Drawing 5]

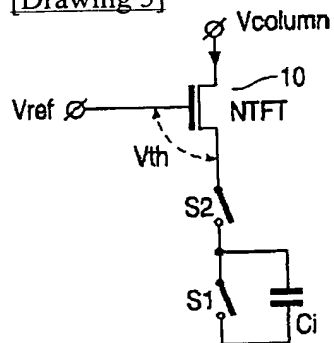


FIG. 5

[Drawing 6]

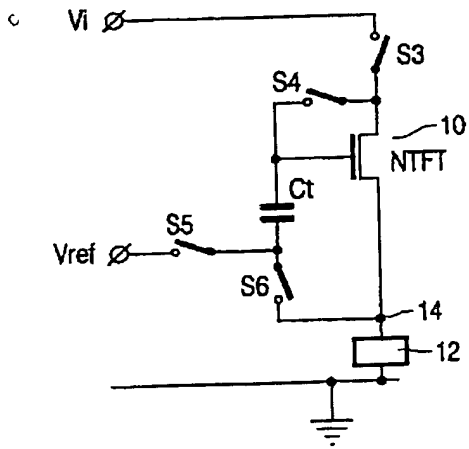


FIG. 6

[Drawing 7]

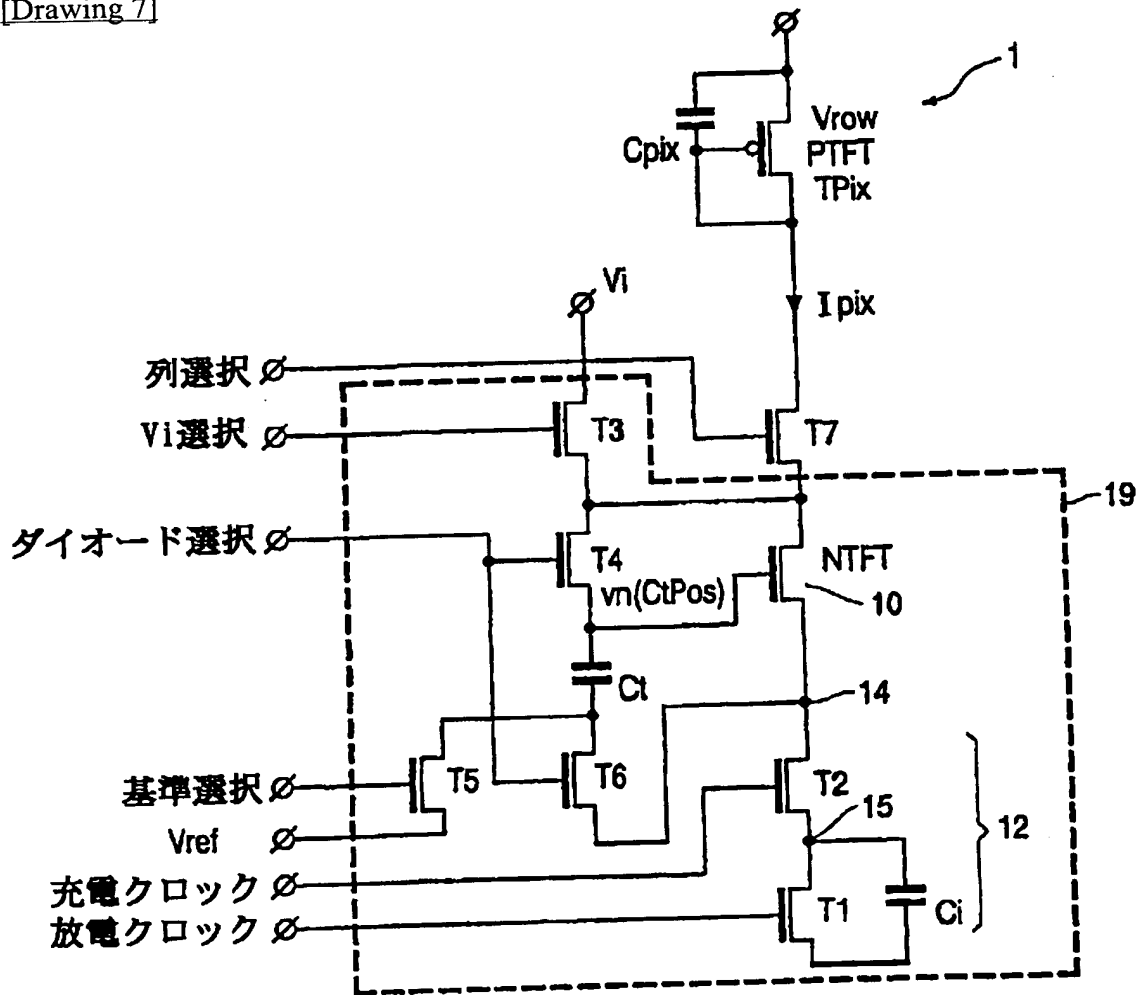


FIG. 7

[Drawing 8]

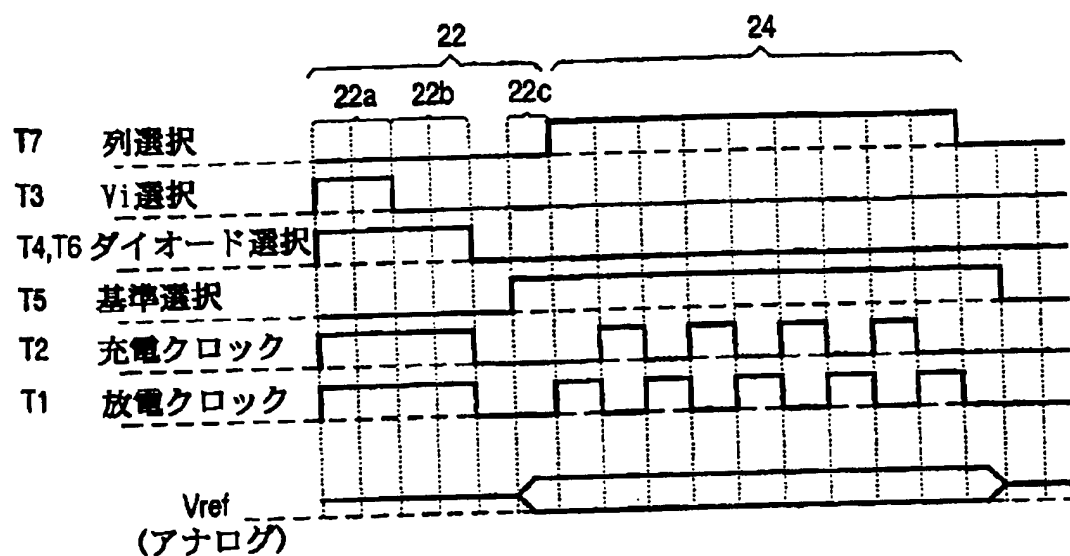


FIG. 8

[Drawing 9]

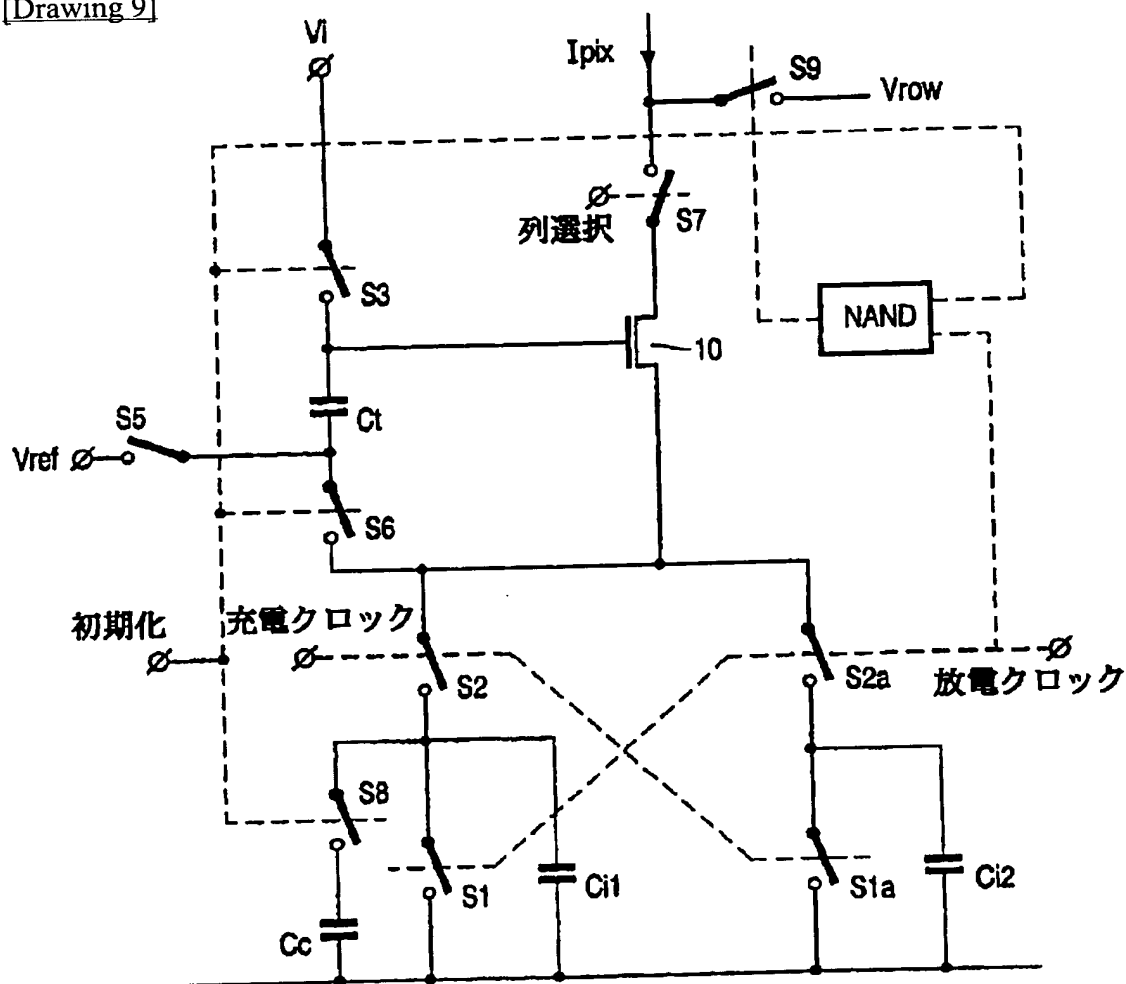


FIG. 9

[Drawing 10]

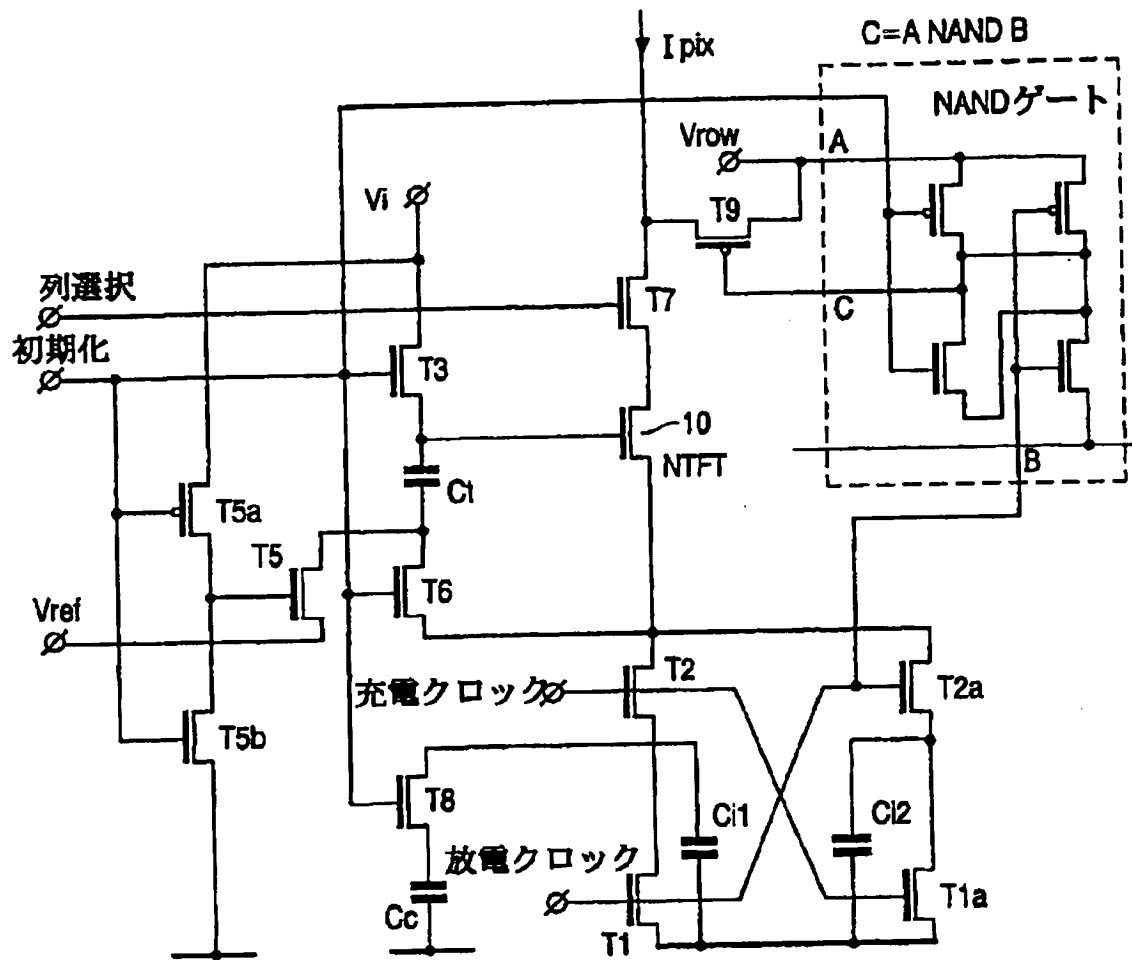


FIG. 10

[Drawing 11]

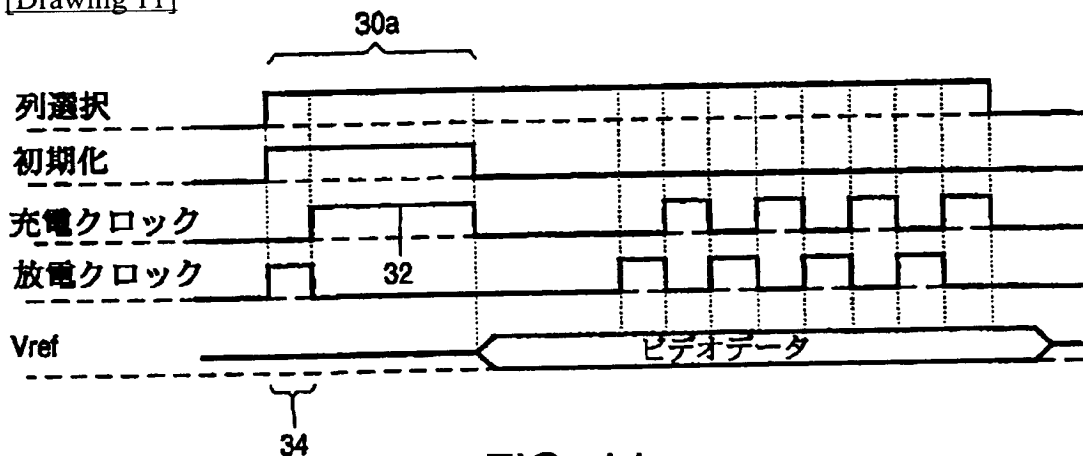


FIG. 11

[Drawing 12]

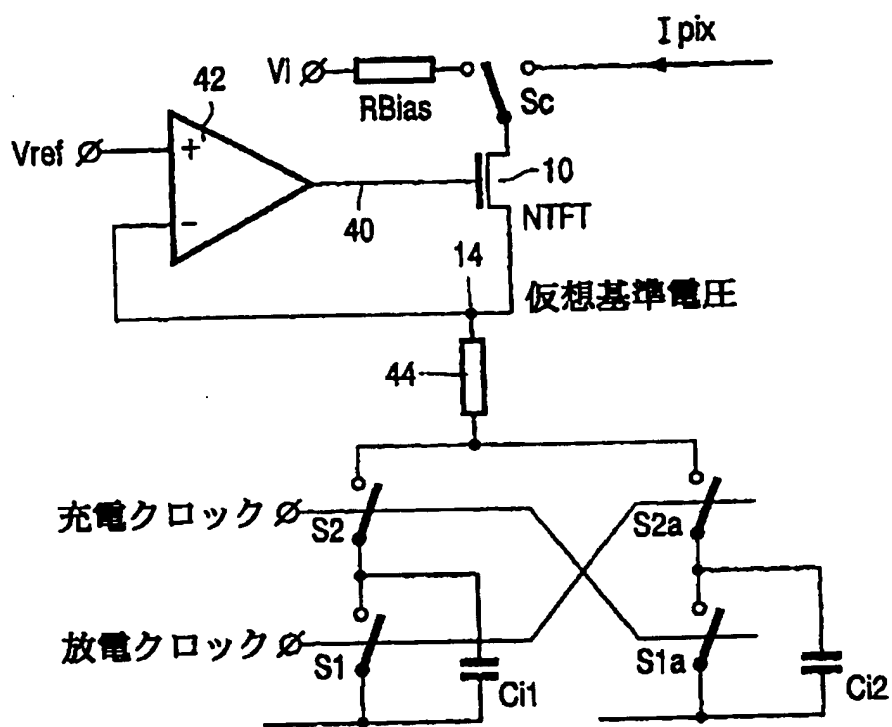


FIG. 12

[Drawing 13]

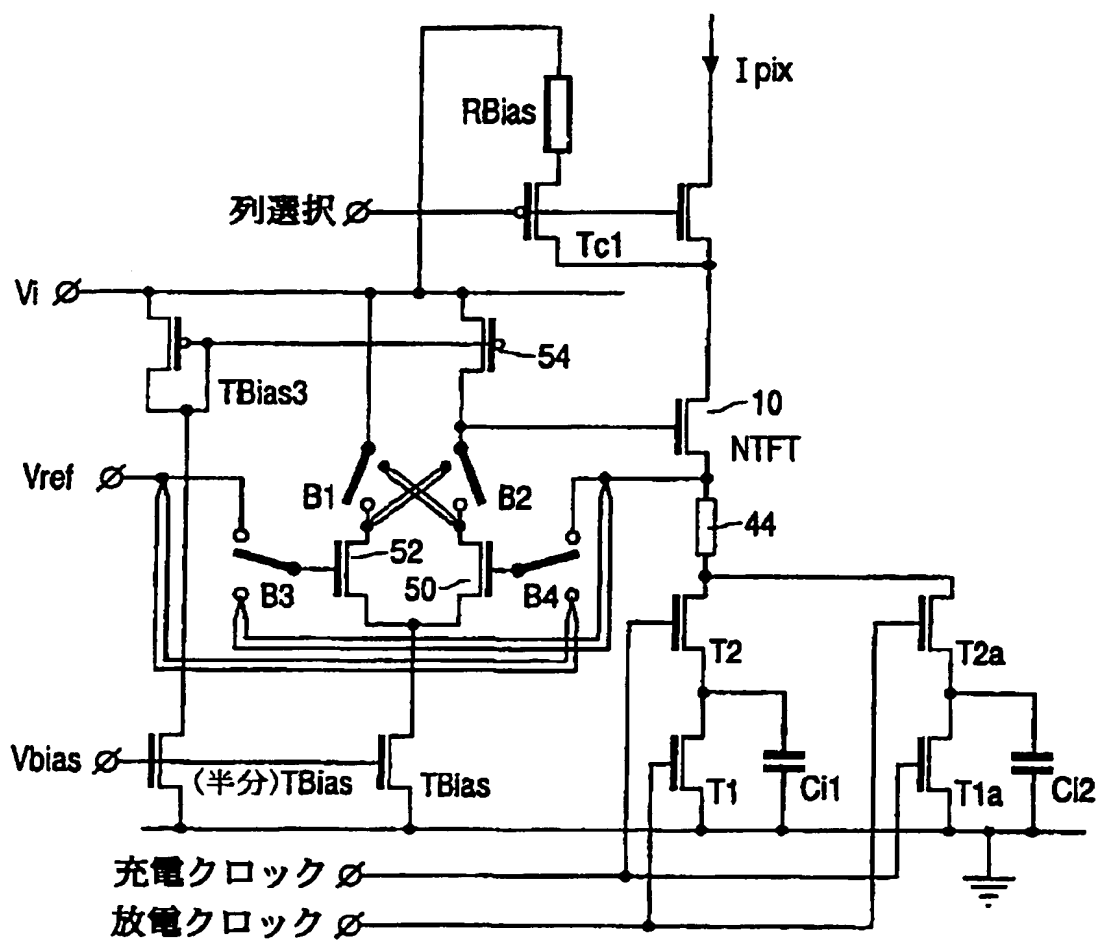


FIG. 13

[Drawing 14]

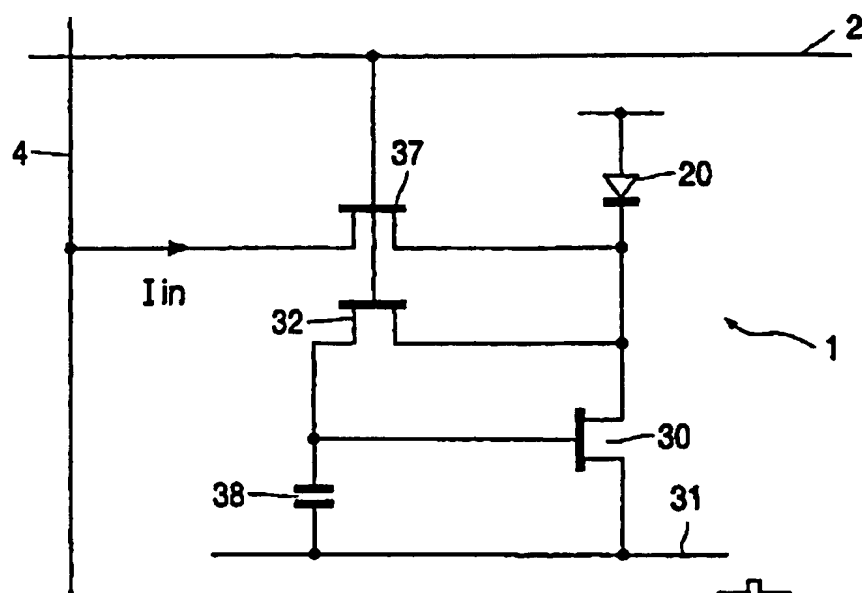


FIG. 14

---

[Translation done.]